

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshinori TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE CAPABLE OF SUPPRESSING IMPURITY CONCENTRATION REDUCTION IN DOPED CHANNEL REGION ARISING FROM FORMATION OF GATE INSULATING FILM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-143438	May 21, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 5月21日

出願番号

Application Number: 特願2003-143438

[ST.10/C]:

[JP2003-143438]

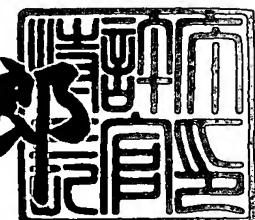
出願人

Applicant(s): 株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一



出証番号 出証特2003-3046087

【書類名】 特許願
【整理番号】 543854JP01
【提出日】 平成15年 5月21日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内
【氏名】 田中 義典
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内
【氏名】 堀田 勝之
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサ
ステクノロジ内
【氏名】 小林 平治
【特許出願人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 (a) 平面視第1方向に沿ってこの順に繋がる第1～第3部分を有し、前記第1方向に垂直な平面視第2方向に関する前記第2部分の寸法が、前記第2方向に関する前記第1及び第3部分の各寸法よりも小さい、略H字状の第1のマスク材と、前記第1方向に沿ってこの順に繋がる第4～第6部分を有し、前記第2方向に関する前記第5部分の寸法が、前記第2方向に関する前記第4及び第6部分の各寸法よりも小さい、略H字状の第2のマスク材とを、前記第1及び第4部分、前記第2及び第5部分、並びに前記第3及び第6部分のそれぞれが、互いに離間しつつ前記第2方向に沿って並ぶように、半導体基板の主面上に形成する工程と、

(b) 前記第1及び第2のマスク材をエッチングマスクとして用いて前記半導体基板をエッチングすることにより、前記第1～第3部分の下方の前記半導体基板によってそれぞれ規定される第1～第3側面と、前記第4～第6部分の下方の前記半導体基板によってそれぞれ規定される第4～第6側面とを有する凹部を、前記主面内に形成する工程と、

(c) 前記第1及び第2のマスク材が前記主面上に形成されている状態で、前記第2方向の斜め上方から不純物をイオン注入することにより、前記第1～第6側面のうちの前記第2及び第5側面内のみに、第1導電型の第1のチャネルドープ領域をそれぞれ形成する工程と、

(d) 前記工程(c)よりも後に実行され、前記凹部内を充填して素子分離絶縁膜を形成することにより、前記工程(a)で前記第1及び第2のマスク材が形成された部分の前記半導体基板を、それぞれ第1及び第2の素子形成領域として規定する工程と、

(e) 前記第1及び第2の素子形成領域内における前記主面内に、前記第1導電型の第2のチャネルドープ領域をそれぞれ形成する工程と、

(f) 前記工程(c)よりも後に実行され、前記第1及び第2のマスク材を除去する工程と、

- (g) 前記工程 (f) よりも後に実行され、前記第1及び第2の素子形成領域内における前記主面上に、絶縁膜をそれぞれ形成する工程と、
- (h) 前記工程 (g) によって得られる構造上に、導電膜を形成する工程と、
- (i) 前記導電膜をパターニングすることにより、前記第2方向に沿って延在するゲート電極を、前記工程 (a) で前記第2及び第5部分が形成された各部分の前記主面の上方にそれぞれ形成する工程と、
- (j) 前記工程 (a) で前記第1及び第4部分が形成された各部分の前記主面内に、前記第1導電型とは異なる第2導電型の第1のソース・ドレイン領域をそれぞれ形成する工程と、
- (k) 前記工程 (a) で前記第3及び第6部分が形成された各部分の前記主面内に、前記第2導電型の第2のソース・ドレイン領域をそれぞれ形成する工程とを備える、半導体装置の製造方法。

【請求項2】 前記第1部分と前記第4部分との間隔及び前記第3部分と前記第6部分との間隔をW2、前記第2部分と前記第5部分との間隔をW1、前記工程 (c) における前記不純物の注入方向と前記主面の法線方向とが成す角度を α 、前記第1及び第2のマスク材の膜厚をTと定義したときに、

$$\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$$

の関係が成り立つ、請求項1に記載の半導体装置の製造方法。

【請求項3】 (a) 平面視第1方向に沿ってこの順に繋がる第1～第3部分を有する第1のマスク材と、前記第1方向に沿ってこの順に繋がる第4～第6部分を有する第2のマスク材と、前記第1方向に沿ってこの順に繋がる第7～第9部分を有する第3のマスク材とを、前記第3、第4、及び第9部分が、互いに離間しつつ前記第1方向に垂直な平面視第2方向に沿ってこの順に並び、前記第2及び第8部分が互いに離間しつつ前記第2方向に沿って並び、かつ、前記第2及び第5部分が前記第2方向に沿って並ばないように、半導体基板の主面上に形成する工程と、

(b) 前記第1～第3のマスク材をエッティングマスクとして用いて前記半導体基板をエッティングすることにより、前記第1～第3部分の下方の前記半導体基板によってそれぞれ規定される第1～第3側面と、前記第4～第6部分の下方の前

記半導体基板によってそれぞれ規定される第4～第6側面と、前記第7～第9部分の下方の前記半導体基板によってそれぞれ規定される第7～第9側面とを有する凹部を、前記主面内に形成する工程と、

(c) 前記第1～第3のマスク材が前記主面上に形成されている状態で、前記第2方向の斜め上方から不純物をイオン注入することにより、前記第2及び第3側面のうちの前記第2側面内のみ、前記第4及び第5側面のうちの前記第5側面内のみ、並びに前記第8及び第9側面のうちの前記第8側面内のみに、第1導電型の第1のチャネルドープ領域をそれぞれ形成する工程と、

(d) 前記工程(c)よりも後に実行され、前記凹部内を充填して素子分離絶縁膜を形成することにより、前記工程(a)で前記第1～第3のマスク材が形成された部分の前記半導体基板を、それぞれ第1～第3の素子形成領域として規定する工程と、

(e) 前記第1～第3の素子形成領域内における前記主面内に、前記第1導電型の第2のチャネルドープ領域をそれぞれ形成する工程と、

(f) 前記工程(c)よりも後に実行され、前記第1～第3のマスク材を除去する工程と、

(g) 前記工程(f)よりも後に実行され、前記第1～第3の素子形成領域内における前記主面上に、絶縁膜をそれぞれ形成する工程と、

(h) 前記工程(g)によって得られる構造上に、導電膜を形成する工程と、

(i) 前記導電膜をパターニングすることにより、前記第2方向に沿って延在するゲート電極を、前記工程(a)で前記第2、第5、及び第8部分が形成された各部分の前記主面の上方にそれぞれ形成する工程と、

(j) 前記工程(a)で前記第1、第6、及び第7部分が形成された各部分の前記主面内に、前記第1導電型とは異なる第2導電型の第1のソース・ドレイン領域をそれぞれ形成する工程と、

(k) 前記工程(a)で前記第3、第4、及び第9部分が形成された各部分の前記主面内に、前記第2導電型の第2のソース・ドレイン領域をそれぞれ形成する工程と

を備える、半導体装置の製造方法。

【請求項4】 前記第3部分と前記第4部分との間隔及び前記第4部分と前記第9部分との間隔をW2、前記第2部分と前記第8部分との間隔をW1、前記工程(c)における前記不純物の注入方向と前記主面の法線方向とが成す角度を α 、前記第1～第3のマスク材の膜厚をTと定義したときに、

$$\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$$

の関係が成り立つ、請求項3に記載の半導体装置の製造方法。

【請求項5】 (1) 前記工程(i)～(k)よりも後に実行され、層間絶縁膜を形成する工程と、

(m) 前記層間絶縁膜内に、前記第2のソース・ドレイン領域に繋がるコンタクトホールを形成する工程と、

(n) 前記コンタクトホール内に導電性プラグを形成する工程と、

(o) 前記導電性プラグに繋がるキャパシタ下部電極を形成する工程と、

(p) 前記キャパシタ下部電極上にキャパシタ誘電体膜を形成する工程と、

(q) 前記キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とをさらに備える、請求項1～4のいずれか一つに記載の半導体装置の製造方法。

【請求項6】 前記導電性プラグの材質は、前記第2導電型の不純物が添加された半導体であり、

(r) 前記工程(m)と(n)との間に実行され、前記コンタクトホール内を通して前記主面内に不純物を導入することにより、前記第2導電型の不純物導入領域を形成する工程をさらに備える、請求項5に記載の半導体装置の製造方法。

【請求項7】 前記工程(a)においては、前記第3部分と離間して対向しつつ前記第1方向に沿って前記第1のマスク材に並ぶ第4のマスク材が、前記主面上にさらに形成され、

前記工程(b)においては、前記第1～第4のマスク材をエッチングマスクとして用いて前記半導体基板をエッチングすることにより、前記凹部が形成され、

(s) 前記工程(d)よりも前に実行され、前記第1及び第4のマスク材が前記主面上に形成されている状態で、前記第1方向の斜め上方から不純物をイオン注入することにより、前記第2導電型の不純物注入領域を前記第3側面内に形成する工程をさらに備える、請求項5又は6に記載の半導体装置の製造方法。

【請求項8】 前記第1のマスク材と前記第4のマスク材との間隔をV、前記工程(s)における前記不純物の注入方向と前記主面の法線方向とが成す角度をβ、前記第4のマスク材の膜厚をT、前記第4のマスク材の上面から前記凹部の底面までの深さをUと定義したときに、

$$\tan^{-1}(V/U) \leq \beta \leq \tan^{-1}(V/T)$$

の関係が成り立つ、請求項7に記載の半導体装置の製造方法。

【請求項9】 (t) 前記工程(b)よりも後、前記工程(d)よりも前に実行され、前記凹部内を通して前記凹部の底面内に不純物を導入することにより、前記第1導電型の第1のチャネルカット領域を形成する工程をさらに備える、請求項5～8のいずれか一つに記載の半導体装置の製造方法。

【請求項10】 前記半導体基板はメモリセルアレイ部と周辺回路部とを有しており、

前記第1のチャネルカット領域は、前記メモリセルアレイ部内に形成され、

(u) 前記工程(t)よりも前に実行され、前記周辺回路部を覆ってマスク材を形成する工程をさらに備える、請求項9に記載の半導体装置の製造方法。

【請求項11】 前記半導体基板はメモリセルアレイ部と周辺回路部とを有しており、

前記第1のチャネルカット領域は、前記メモリセルアレイ部内に形成され、

前記工程(t)において前記不純物が前記周辺回路部内にも導入されることにより、第2のチャネルカット領域が前記周辺回路部内に形成され、

(v) 前記工程(t)よりも後に実行され、前記第2導電型の不純物を前記周辺回路部内に導入することにより、前記第2のチャネルカット領域を打ち消す工程をさらに備える、請求項9に記載の半導体装置の製造方法。

【請求項12】 前記半導体装置は、メモセルアレイ内に配設されており、前記メモリセルアレイの最外周に配設されている複数のメモリセルは、ダミーセルである、請求項5～11のいずれか一つに記載の半導体装置の製造方法。

【請求項13】 前記工程(e)は、前記工程(g)よりも後に実行される、請求項1～12のいずれか一つに記載の半導体装置の製造方法。

【請求項14】 (a) 半導体基板の主面上に絶縁膜を形成する工程と、

- (b) 前記絶縁膜上に導電膜を形成する工程と、
- (c) 前記導電膜及び前記絶縁膜を通して前記主面内に不純物をイオン注入することにより、チャネルドープ領域を形成する工程と、
- (d) 前記導電膜をパターニングすることにより、ゲート電極を形成する工程と、
- (e) 前記ゲート電極から露出している部分の前記主面内に不純物を導入することにより、ソース・ドレイン領域を形成する工程とを備える、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の製造方法に関し、特に、DRAMキャパシタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

DRAMキャパシタを有する従来の半導体装置の製造方法では、(a)シリコン基板の上面内に素子分離絶縁膜を部分的に形成する工程と、(b)シリコン基板の上面に対して垂直な方向から不純物をイオン注入することにより、素子形成領域内におけるシリコン基板内に、いずれもp型のチャネルドープ領域、チャネルカット領域、及びウェル領域を形成する工程と、(c)熱酸化法によって、素子形成領域内におけるシリコン基板の上面に、ゲート絶縁膜を形成する工程と、(d)ゲート絶縁膜上にゲート電極を形成する工程と、(e)シリコン基板の上面内に、ゲート電極の下方のチャネル形成領域を挟んで対を成す、いずれもn型のソース領域及びドレイン領域を形成する工程と、(f)第1の層間絶縁膜を全面的に形成する工程と、(g)ドレイン領域に接続された第1のコンタクトプラグを、第1の層間絶縁膜内に形成する工程と、(h)第1のコンタクトプラグに接続されたビット線を形成する工程と、(i)第2の層間絶縁膜を全面的に形成する工程と、(j)ソース領域に接続された第2のコンタクトプラグを、第1及び第2の層間絶縁膜内に形成する工程と、(k)第3の層間絶縁膜を全面的に

形成する工程と、(1) 第2のコンタクトプラグに接続されたキャパシタ下部電極を、第3の層間絶縁膜内に形成する工程と、(m) キャパシタ下部電極上にキャパシタ誘電体膜を形成する工程と、(n) キャパシタ誘電体膜上にキャパシタ上部電極を形成する工程とが、この順に実行されていた。

【0003】

なお、シリコン基板内にチャネルドープ領域を形成する工程を備える半導体装置の製造方法は、例えば下記の特許文献1～3に開示されている。

【0004】

【特許文献1】

特開平10-65153号公報

【特許文献2】

特開平9-237829号公報

【特許文献3】

特開平8-250583号公報

【0005】

【発明が解決しようとする課題】

しかしながら、従来の半導体装置の製造方法によると、チャネルドープ領域を形成した後にゲート絶縁膜が形成される。従って、チャネルドープ領域内に含まれている不純物の一部が、ゲート絶縁膜を形成するための熱処理によって、ゲート絶縁膜中に吸い上げられる。その結果、チャネルドープ領域の不純物濃度が所望の値よりも低くなるため、メモリセルトランジスタのしきい値電圧が低下する。特に、素子分離絶縁膜とチャネルドープ領域との境界部分ではその傾向が顕著であり、チャネルドープ領域の幅が一定値より狭くなるとメモリセルトランジスタのしきい値電圧が大幅に低下する現象（いわゆる逆ナロー効果）が発生する。

【0006】

チャネルドープ領域を形成する際に所望の値よりも高濃度のp型不純物をイオン注入することによって、不純物濃度の低下を補うことは可能である。しかしながら、この高濃度のp型不純物はn型のソース領域及びドレイン領域が形成される予定の領域内にも注入されるため、以下の問題が生じる。

【0007】

ソース領域及びドレイン領域の不純物濃度が低下するため、ソース領域と第2のコンタクトプラグとの接触抵抗が上昇する。その結果、メモリセルトランジスタの性能が低下し、ひいてはデータの書き込み特性が悪化するという問題が生じる。

【0008】

また、ソース領域とチャネル形成領域との境界部分、及びソース領域と素子分離絶縁膜との境界部分において、電界強度が高くなる。その結果、接合リーク電流が増加し、ひいてはDRAMのデバイス特性（例えばリフレッシュ特性）が悪化するという問題が生じる。

【0009】

本発明はかかる問題を解決するために成されたものであり、書き込み特性やリフレッシュ特性を劣化させることなく、ゲート絶縁膜の形成に起因してチャネルドープ領域の不純物濃度が低下することを抑制し得る、半導体装置の製造方法を得ることを目的とするものである。

【0010】

【課題を解決するための手段】

第1の発明によれば、半導体装置の製造方法は、(a) 平面視第1方向に沿ってこの順に繋がる第1～第3部分を有し、第1方向に垂直な平面視第2方向に関する第2部分の寸法が、第2方向に関する第1及び第3部分の各寸法よりも小さい、略H字状の第1のマスク材と、第1方向に沿ってこの順に繋がる第4～第6部分を有し、第2方向に関する第5部分の寸法が、第2方向に関する第4及び第6部分の各寸法よりも小さい、略H字状の第2のマスク材とを、第1及び第4部分、第2及び第5部分、並びに第3及び第6部分のそれぞれが、互いに離間しつつ第2方向に沿って並ぶように、半導体基板の主面上に形成する工程と、(b) 第1及び第2のマスク材をエッティングマスクとして用いて半導体基板をエッティングすることにより、第1～第3部分の下方の半導体基板によってそれぞれ規定される第1～第3側面と、第4～第6部分の下方の半導体基板によってそれぞれ規定される第4～第6側面とを有する凹部を、主面内に形成する工程と、(c) 第

1及び第2のマスク材が主面上に形成されている状態で、第2方向の斜め上方から不純物をイオン注入することにより、第1～第6側面のうちの第2及び第5側面内のみに、第1導電型の第1のチャネルドープ領域をそれぞれ形成する工程と、(d)工程(c)よりも後に実行され、凹部内を充填して素子分離絶縁膜を形成することにより、工程(a)で第1及び第2のマスク材が形成された部分の半導体基板を、それぞれ第1及び第2の素子形成領域として規定する工程と、(e)第1及び第2の素子形成領域内における主面内に、第1導電型の第2のチャネルドープ領域をそれぞれ形成する工程と、(f)工程(c)よりも後に実行され、第1及び第2のマスク材を除去する工程と、(g)工程(f)よりも後に実行され、第1及び第2の素子形成領域内における主面上に、絶縁膜をそれぞれ形成する工程と、(h)工程(g)によって得られる構造上に、導電膜を形成する工程と、(i)導電膜をパターニングすることにより、第2方向に沿って延在するゲート電極を、工程(a)で第2及び第5部分が形成された各部分の主面上にそれぞれ形成する工程と、(j)工程(a)で第1及び第4部分が形成された各部分の主面内に、第1導電型とは異なる第2導電型の第1のソース・ドレイン領域をそれぞれ形成する工程と、(k)工程(a)で第3及び第6部分が形成された各部分の主面内に、第2導電型の第2のソース・ドレイン領域をそれぞれ形成する工程とを備える。

【0011】

第2の発明によれば、半導体装置の製造方法は、(a)平面視第1方向に沿ってこの順に繋がる第1～第3部分を有する第1のマスク材と、第1方向に沿ってこの順に繋がる第4～第6部分を有する第2のマスク材と、第1方向に沿ってこの順に繋がる第7～第9部分を有する第3のマスク材とを、第3、第4、及び第9部分が、互いに離間しつつ第1方向に垂直な平面視第2方向に沿ってこの順に並び、第2及び第8部分が互いに離間しつつ第2方向に沿って並び、かつ、第2及び第5部分が第2方向に沿って並ばないように、半導体基板の主面上に形成する工程と、(b)第1～第3のマスク材をエッチングマスクとして用いて半導体基板をエッチングすることにより、第1～第3部分の下方の半導体基板によってそれぞれ規定される第1～第3側面と、第4～第6部分の下方の半導体基板によ

ってそれぞれ規定される第4～第6側面と、第7～第9部分の下方の半導体基板によってそれぞれ規定される第7～第9側面とを有する凹部を、主面内に形成する工程と、(c) 第1～第3のマスク材が主面上に形成されている状態で、第2方向の斜め上方から不純物をイオン注入することにより、第2及び第3側面のうちの第2側面内のみ、第4及び第5側面のうちの第5側面内のみ、並びに第8及び第9側面のうちの第8側面内のみに、第1導電型の第1のチャネルドープ領域をそれぞれ形成する工程と、(d) 工程(c)よりも後に実行され、凹部内を充填して素子分離絶縁膜を形成することにより、工程(a)で第1～第3のマスク材が形成された部分の半導体基板を、それぞれ第1～第3の素子形成領域として規定する工程と、(e) 第1～第3の素子形成領域内における主面内に、第1導電型の第2のチャネルドープ領域をそれぞれ形成する工程と、(f) 工程(c)よりも後に実行され、第1～第3のマスク材を除去する工程と、(g) 工程(f)よりも後に実行され、第1～第3の素子形成領域内における主面上に、絶縁膜をそれぞれ形成する工程と、(h) 工程(g)によって得られる構造上に、導電膜を形成する工程と、(i) 導電膜をパターニングすることにより、第2方向に沿って延在するゲート電極を、工程(a)で第2、第5、及び第8部分が形成された各部分の主面の上方にそれぞれ形成する工程と、(j) 工程(a)で第1、第6、及び第7部分が形成された各部分の主面内に、第1導電型とは異なる第2導電型の第1のソース・ドレイン領域をそれぞれ形成する工程と、(k) 工程(a)で第3、第4、及び第9部分が形成された各部分の主面内に、第2導電型の第2のソース・ドレイン領域をそれぞれ形成する工程とを備える。

【0012】

第3の発明によれば、半導体装置の製造方法は、(a) 半導体基板の主面上に絶縁膜を形成する工程と、(b) 絶縁膜上に導電膜を形成する工程と、(c) 導電膜及び絶縁膜を通して主面内に不純物をイオン注入することにより、チャネルドープ領域を形成する工程と、(d) 導電膜をパターニングすることにより、ゲート電極を形成する工程と、(e) ゲート電極から露出している部分の主面内に不純物を導入することにより、ソース・ドレイン領域を形成する工程とを備える。

【0013】

【発明の実施の形態】

実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置の構造を示す上面図である。素子分離絶縁膜4によって、略H字状の上面構造を有する素子形成領域AR1, AR2が規定されている。素子形成領域AR1, AR2は、互いに離間しつつY方向に沿って並んでいる。

【0014】

素子形成領域AR1内には、ソース領域1S、ドレイン領域1D、チャネルドープ領域1C、及びゲート構造3を有する第1のトランジスタが形成されている。同様に、素子形成領域AR2内には、ソース領域2S、ドレイン領域2D、チャネルドープ領域2C、及びゲート構造3を有する第2のトランジスタが形成されている。図1に示した例では、第1のトランジスタが有するゲート構造3と、第2のトランジスタが有するゲート構造3とは、互いに繋がっている。第1及び第2のトランジスタは、例えば、DRAMのメモリセルトランジスタ、周辺回路を構成するトランジスタ、ロジック回路を構成するトランジスタ等である。以下では、第1及び第2のトランジスタがいずれもnチャネルMOSFETである場合を例にとり説明する。

【0015】

ソース領域1S、チャネルドープ領域1C、及びドレイン領域1Dは、X方向に沿ってこの順に並んでいる。同様に、ソース領域2S、チャネルドープ領域2C、及びドレイン領域2Dは、X方向に沿ってこの順に並んでいる。ソース領域1S及びソース領域2S、チャネルドープ領域1C及びチャネルドープ領域2C、並びにドレイン領域1D及びドレイン領域2Dのそれぞれは、互いに離間しつつY方向に沿って並んでいる。チャネルドープ領域1Cとチャネルドープ領域2Cとの間隔W1は、ソース領域1Sとソース領域2Sとの間隔W2、及びドレイン領域1Dとドレイン領域2Dとの間隔W2よりも広い。

【0016】

図2は、図1に示した半導体装置の断面構造を示す断面図である。図2の(A

) , (B) , (C) は、それぞれ図1に示したラインIIA-IIA, IIB-IIB, IIC-IICに沿った位置に関する断面構造を表している。

【0017】

図3, 5~11は、本実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。各図の(A)~(C)は、図2の(A)~(C)にそれぞれ対応している。

【0018】

図3を参照して、まず、シリコン酸化膜及びシリコン窒化膜を、n型のシリコン基板10の上面にこの順に全面的に形成する。但し、シリコン酸化膜の代わりに、シリコン酸窒化膜を形成してもよい。また、シリコン窒化膜の代わりに、ポリシリコン膜、又はシリコン窒化膜とポリシリコン膜との積層膜を形成してもよい。次に、これらの膜をパターニングすることにより、シリコン酸化膜20及びシリコン窒化膜21を形成する。次に、シリコン窒化膜21をエッティングマスクとして用いて、異方性ドライエッティング法によって、シリコン基板10を所定の膜厚だけエッティングする。これにより、シリコン基板10の上面内に凹部22が形成される。次に、酸化炉又は枚葉式のランプ酸化装置を用いて、900~1150°C程度の熱酸化法によって、数nm~数十nm程度の膜厚を有するシリコン酸化膜13を、凹部22の側面及び底面上に形成する。これにより、凹部22を形成するためのエッティングのダメージによってシリコン基板10内に発生した結晶欠陥が回復される。

【0019】

図4は、図1に対応させて、シリコン窒化膜21の形成パターンを示す上面図である。素子形成領域AR1に対応するシリコン窒化膜21a(図4における符号21a)は、X方向に沿ってこの順に繋がる第1部分211、第2部分212、及び第3部分213を有している。シリコン窒化膜21aは、略H字状の上面構造を有しており、Y方向に関する第2部分212の寸法は、Y方向に関する第1部分211及び第3部分213の各寸法よりも小さい。同様に、素子形成領域AR2に対応するシリコン窒化膜21(図4における符号21b)は、X方向に沿ってこの順に繋がる第4部分214、第5部分215、及び第6部分216を有してい

る。シリコン窒化膜21bは、略H字状の上面構造を有しており、Y方向に関する第5部分21₅の寸法は、Y方向に関する第4部分21₄及び第6部分21₆の各寸法よりも小さい。第1部分21₁及び第4部分21₄、第2部分21₂及び第5部分21₅、並びに第3部分21₃及び第6部分21₆のそれぞれは、互いに離間しつつY方向に沿って並んでいる。また、凹部22は、第1～第6部分21₁～21₆の下方のシリコン基板10によってそれぞれ規定される、第1～第6側面10A₁～10A₆を有している。

【0020】

図3に引き続き、図5を参照して、次に、シリコン酸化膜20及びシリコン窒化膜21が形成されている状態で、B、BF₂、又はIn等のp型不純物23₁、23₂を、1E11/cm²～1E14/cm²程度の濃度で、Y方向の斜め上方からイオン注入する。このイオン注入は、図1において矢印Y1、Y2で示すように、+Y及び-Yの両方向から順に行われる。

【0021】

また、イオン注入の注入角度 α （即ち不純物23₁、23₂の注入方向とシリコン基板10の上面の法線方向とが成す角度）としては、図4に示した第1部分21₁と第4部分21₄との間隔及び第3部分21₃と第6部分21₆との間隔をW2、第2部分21₂と第5部分21₅との間隔をW1、シリコン酸化膜20及びシリコン窒化膜21の合計の膜厚をTと定義したときに、 $\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$ の関係が成り立つ範囲の注入角度を採用する。

【0022】

注入角度 α をこの範囲内に規定すると、図4に示した第2側面10A₂及び第5側面10A₅内には、シリコン酸化膜13を通して不純物23₁、23₂がイオン注入される。その結果、図5の(A)に示すように、素子形成領域AR1、AR2内におけるシリコン基板10の上面内に、p型のチャネルドープ領域5₁、5₂がそれぞれ形成される。一方、シリコン酸化膜20及びシリコン窒化膜21のシャドーイング効果によって、図4に示した第1側面10A₁、第3側面10A₃、第4側面10A₄、及び第6側面10A₆内には、不純物23₁、23₂がイオン注入されない。その結果、図5の(B)に示すように、チャネルドープ領域

5₁, 5₂は形成されない。

【0023】

図6を参照して、次に、塗布法又は高密度プラズマを用いたCVD法によって、凹部22内を完全に充填し得る膜厚を有するシリコン酸化膜24を、全面的に形成する。シリコン酸化膜24内には、F、P、又はB等の不純物がドープされてもよい。

【0024】

図7を参照して、次に、CMP法によって、シリコン窒化膜21の上面が露出するまでシリコン酸化膜24を研磨する。

【0025】

図8を参照して、次に、素子分離絶縁膜4の上面の高さを調整するために、HF等の水溶液を用いて、シリコン酸化膜24を所望の膜厚だけ除去する。次に、熱リン酸溶液を用いて、シリコン窒化膜21を除去する。

【0026】

図9を参照して、次に、CMOSトランジスタを形成するために、B等の不純物を、シリコン酸化膜20を通してシリコン基板10内にイオン注入することにより、p型のウェル領域11を形成する。図9の符号11は、ウェル領域内で不純物の濃度がピークとなる箇所を示している。次に、分離耐圧を向上させるために、B、BF₂、又はIn等の不純物を、シリコン酸化膜20を通してシリコン基板10内にイオン注入することにより、p型のチャネルカット領域12を形成する。次に、トランジスタのしきい値電圧を調整するために、B、BF₂、又はIn等の不純物を、1E11/cm²~1E14/cm²程度の濃度で、シリコン酸化膜20を通してシリコン基板10内にイオン注入する。これにより、p型のチャネルドープ領域1C, 2Cが、シリコン基板10の上面内に形成される。その後、ランプアニール法によって800~1100℃程度の熱処理を行うことにより、シリコン基板10内にイオン注入した上記の各不純物を活性化させる。

【0027】

図10を参照して、次に、HF等の水溶液を用いて、シリコン酸化膜20を除去する。これにより、素子形成領域AR1, AR2内におけるシリコン基板10

の上面が露出する。また、シリコン酸化膜24の一部が除去されてシリコン酸化膜14となり、シリコン酸化膜13、14を有するトレンチ型の素子分離絶縁膜4が形成される。次に、700～850°C程度の酸化炉、又は900～1100°C程度のランプ酸化装置を用いて、ゲート絶縁膜として機能するシリコン酸化膜15₁、15₂を、素子形成領域AR1、AR2内におけるシリコン基板10の上面に形成する。但し、シリコン酸化膜15₁、15₂の代わりに、シリコン酸窒化膜、又はシリコン酸化膜とシリコン酸窒化膜との積層膜を形成してもよい。次に、CVD法等によって、シリコン酸化膜15₁、15₂及び素子分離絶縁膜4上面に、導電膜16を形成する。導電膜16は、ポリシリコン膜、金属膜(W、Ti、Al、Cu等)、金属シリサイド膜、金属窒化膜、又はそれらの積層膜である。次に、CVD法等によって、導電膜16上面にシリコン窒化膜17を形成する。但し、シリコン窒化膜17の代わりに、シリコン酸化膜、又はシリコン酸化膜とシリコン窒化膜との積層膜を形成してもよい。

【0028】

図11を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコン窒化膜17をパターニングする。次に、シリコン窒化膜17をエッチングマスクとして用いて、異方性ドライエッチング法によって導電膜16をエッチングする。エッチングされずに残った部分の導電膜16は、ゲート電極として機能する。次に、ランプ酸化法又は通常の熱酸化法によって、O₂、NO、N₂O、NH₃、及びH₂等の混合ガス雰囲気中で導電膜16を酸化又は窒化することにより、絶縁膜18を形成する。

【0029】

次に、シリコン窒化膜17を注入マスクとして用いて、P、As、又はSb等の不純物をイオン注入することにより、n型のソース領域1S、2S及びn型のドレイン領域1D、2Dを、シリコン基板10の上面内に形成する。以上の工程により、図2に示した構造が得られる。

【0030】

このように本実施の形態1に係る半導体装置の製造方法によれば、図5に示した工程でチャネルドープ領域5₁、5₂が形成され、図9に示した工程でチャネル

ドープ領域1C, 2Cが形成された後に、図10に示した工程で、ゲート絶縁膜として機能するシリコン酸化膜 15_1 , 15_2 が形成される。従って、チャネルドープ領域 5_1 , 5_2 , 1C, 2C内に含まれている不純物の一部が、ゲート絶縁膜を形成するための熱処理によってゲート絶縁膜中に吸い上げられた場合であっても、チャネルドープ領域 5_1 , 5_2 が形成されない従来の製法と比較すると、チャネルドープ領域の不純物濃度の低下を抑制できる。その結果、第1及び第2のトランジスタのしきい値電圧が低下することを抑制できる。

【0031】

しかも、図1に示すように、チャネルドープ領域 5_1 , 5_2 は、ゲート構造3の下方において、素子分離絶縁膜4とチャネルドープ領域1C, 2Cとの境界部分に形成されるため、逆ナロー効果の発生を効果的に抑制することができる。

【0032】

また、図5に示した工程において、Y方向の斜め上方からp型不純物 23_1 , 23_2 をイオン注入し、しかも、イオン注入の注入角度 α を $\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$ の範囲内に規定したため、チャネルドープ領域 5_1 , 5_2 は、図4に示した第1～第6側面 $10A_1$ ～ $10A_6$ のうち、第2側面 $10A_2$ 及び第5側面 $10A_5$ 内のみに、自己整合的に形成される。従って、p型のチャネルドープ領域 5_1 , 5_2 の形成に起因してn型のソース領域1S, 2S及びドレイン領域1D, 2Dの不純物濃度が低下することを、適切に回避することができる。

【0033】

実施の形態2.

本実施の形態2では、上記実施の形態1に係る発明を、DRAMのメモリセルに適用する例について説明する。

【0034】

図12は、本発明の実施の形態2に係る半導体装置の構造を示す上面図である。また、図13は、図12に示したラインXIII-XIIIに沿った位置に関する断面構造を示す断面図である。図12を参照して、素子分離絶縁膜4によって、複数の素子形成領域AR(図12における符号 AR_{11} , AR_{12} , AR_{21} , AR_{31} , A

R_{32}) が規定されている。メモリセルアレイの同一の列に属する素子形成領域 A R_{11} と素子形成領域 A R_{31} 、及び同一の列に属する素子形成領域 A R_{12} と素子形成領域 A R_{32} とは、それぞれ互いに離間しつつ Y 方向に沿って並んでいる。同一の行に属する素子形成領域 A R_{11} と素子形成領域 A R_{12} 、及び同一の行に属する素子形成領域 A R_{31} と素子形成領域 A R_{32} とは、それぞれ互いに離間しつつ X 方向に沿って並んでいる。素子形成領域 A R_{21} は、素子形成領域 A R_{11} に対して、X 方向に関する素子形成領域 A R の形成ピッチの半分だけずれて形成されている。即ち、いわゆるハーフピッチセルが構成されている。

【0035】

図12、13を参照して、1個の素子形成領域 A R 内には、ドレイン領域 5 6 D を共有して、2個のメモリセルトランジスタが形成されている。ドレイン領域 5 6 D 上には、ピット線 4 8 に接続されたコンタクトプラグ 3 2 が形成されている。各ソース領域 5 S、6 S 上には、キャパシタ下部電極として機能するポリシリコン膜 5 2、5 3 に接続されたコンタクトプラグ 3 0、3 1 がそれぞれ形成されている。ハーフピッチセルが構成されているため、異なる行に属する素子形成領域 A R 内に形成されたソース領域 5 S、6 S 同士は、間隔 W 2 をもって互いに離間しつつ、Y 方向に沿って並んでいる。また、異なる行に属する素子形成領域 A R 内に形成されたドレイン領域 5 6 D 同士及びチャネルドープ領域 3 8、4 4 同士は、間隔 W 2 よりも広い間隔 W 1 をもって互いに離間しつつ、Y 方向に沿って並んでいる。

【0036】

各素子形成領域 A R 内には、上記実施の形態 1 のチャネルドープ領域 5₁、5₂ に相当するチャネルドープ領域 5 が形成されている。図5に示した工程と同様に、チャネルドープ領域 5 は、イオン注入の注入角度 α を $\tan^{-1}(W_2/T) < \alpha \leq \tan^{-1}(W_1/T)$ の範囲内に規定しつつ、Y 方向の斜め上方から p 型不純物 2 3₁、2 3₂ をイオン注入することによって形成される。従って、チャネルドープ領域 5 は、チャネルドープ領域 3 8、4 4 内とドレイン領域 5 6 D 内とは形成されるが、ソース領域 5 S、6 S 内には形成されない。本実施の形態 2において、一例として、間隔 W 1 は 370 nm 程度であり、間隔 W 2 は 110 nm

程度であり、膜厚Tは120nm程度である。

【0037】

図15～19は、本実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態1と同様の工程を経て、図15に示すメモリセルトランジスタを形成する。

【0038】

図14は、図12の一部に対応させて、素子分離絶縁膜4を形成する際のシリコン窒化膜21の形成パターンを示す上面図である。素子形成領域AR₁₁に対応するシリコン窒化膜21（図14における符号21a）は、X方向に沿ってこの順に繋がる第1部分21₁、第2部分21₂、及び第3部分21₃を有している。同様に、素子形成領域AR₂₁に対応するシリコン窒化膜21（図14における符号21b）は、X方向に沿ってこの順に繋がる第4部分21₄、第5部分21₅、及び第6部分21₆を有している。同様に、素子形成領域AR₃₁に対応するシリコン窒化膜21（図14における符号21c）は、X方向に沿ってこの順に繋がる第7部分21₇、第8部分21₈、及び第9部分21₉を有している。

【0039】

第3部分21₃、第4部分21₄、及び第9部分21₉は、ソース領域5S、6Sに対応する。第2部分21₂、第5部分21₅、及び第8部分21₈は、チャネルドープ領域38、44に対応する。第1部分21₁、第6部分21₆、及び第7部分21₇は、ドレイン領域56Dに対応する。

【0040】

第3部分21₃、第4部分21₄、及び第9部分21₉は、互いに離間しつつY方向に沿ってこの順に並んでいる。第2部分21₂及び第8部分21₈は、互いに離間しつつY方向に沿って並んでいる。第1部分21₁及び第7部分21₇は、互いに離間しつつY方向に沿って並んでいる。第2部分21₂及び第5部分21₅はY方向に沿って並んでおらず、同様に、第1部分21₁及び第6部分21₆もY方向に沿って並んでいない。また、凹部22は、第1～第9部分21₁～21₉の下方のシリコン基板10によってそれぞれ規定される、第1～第9側面10A₁～10A₉を有している。

【0041】

図5に示した工程と同様に、シリコン酸化膜20及びシリコン窒化膜21が形成されている状態で、イオン注入の注入角度 α を $\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$ の範囲内に規定しつつ、Y方向の斜め上方からp型不純物23₁、23₂をイオン注入することによって、チャネルドープ領域5が形成される。その結果、チャネルドープ領域5は、第2側面10A₂及び第3側面10A₃のうちの第2側面10A₂内のみ、第4側面10A₄及び第5側面10A₅のうちの第5側面10A₅内のみ、並びに、第8側面10A₈及び第9側面10A₉のうちの第8側面10A₈内のみに形成される。

【0042】

図15を参照して、図2と同様のトランジスタ構造を得た後、CVD法によって、シリコン窒化膜を全面的に形成する。次に、異方性ドライエッチング法によってシリコン窒化膜をエッチバックすることにより、サイドウォール37、43を形成する。これにより、シリコン酸化膜33、39、導電膜34、40、シリコン窒化膜35、41、絶縁膜36、42、及びサイドウォール37、43を有するゲート構造35、36が得られる。

【0043】

図16を参照して、次に、塗布法又はCVD法によって、B又はP等の不純物がドープされたシリコン酸化膜44を、ゲート構造35、36を覆って全面的に形成する。次に、O₂、N₂、又はH₂の雰囲気中でアニールを行う。次に、写真製版法及び異方性ドライエッチング法によって、ソース領域5S、6S及びドレイン領域56Dにそれぞれ繋がるコンタクトホールを、シリコン酸化膜44内に形成する。次に、これらのコンタクトホール内を、P、As、又はSb等の不純物がドープされたポリシリコン膜によって充填することにより、それぞれソース領域5S、6S及びドレイン領域56Dに接続されたコンタクトプラグ30～32を形成する。

【0044】

図17を参照して、次に、CVD法によって、シリコン酸化膜45を全面的に形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタク

トプラグ32に繋がるコンタクトホールを、シリコン酸化膜45内に形成する。次に、このコンタクトホール内を、TiN、TaN、WN、TiSi₂、又はC_oSi₂等のバリアメタル膜46、及びW、Ti、Cu、又はAl等の金属膜47によって充填することにより、コンタクトプラグ32に接続されたビット線48を形成する。

【0045】

図18を参照して、次に、CVD法によって、シリコン酸化膜49を全面的に形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタクトプラグ30、31にそれぞれ繋がるコンタクトホールを、シリコン酸化膜45、49内に形成する。次に、これらのコンタクトホール内を、P、As、又はSb等の不純物がドープされたポリシリコン膜によって充填することにより、コンタクトプラグ30、31にそれぞれ接続されたコンタクトプラグ50、51を形成する。後に形成されるキャパシタ下部電極の材質によっては、コンタクトプラグ50、51の材質は、Ti、W、TiN、WN、又はTaN等であってもよい。

【0046】

図19を参照して、次に、CVD法によって、シリコン酸化膜56を全面的に形成する。次に、写真製版法及び異方性ドライエッチング法によって、コンタクトプラグ50、51にそれぞれ繋がる凹部を、シリコン酸化膜56内に形成する。次に、CVD法によって、P、As、又はSb等の不純物がドープされたポリシリコン膜を、全面的に形成する。次に、CMP法によって、シリコン酸化膜56の上面が露出するまでそのポリシリコン膜を研磨する。これにより、コンタクトプラグ50、51にそれぞれ接続されたポリシリコン膜52、53が形成される。ポリシリコン膜52、53は、キャパシタ下部電極として機能する。但し、ポリシリコン膜52、53の代わりに、Ti、W、TiN、WN、Pt、Ru等の金属膜を形成してもよい。

【0047】

次に、HFを用いたエッチング法によって、シリコン酸化膜56を除去する。但し、プロセス中の機械的なストレスによってポリシリコン膜52、53が倒壊

することを回避すべく、シリコン酸化膜56の底部は除去せずに残してもよい。次に、 SiO_2 、 Si_3N_4 、 Ta_2O_5 、 Al_2O_3 、又は HfO 等の絶縁膜54を全面的に形成する。絶縁膜54は、キャパシタ誘電体膜として機能する。次に、ポリシリコン、 Ti 、 W 、 TiN 、 WN 、 Pt 、又は Ru 等の導電膜55を全面的に形成する。導電膜55は、キャパシタ上部電極として機能する。以上の工程により、図13に示した構造が得られる。

【0048】

このように本実施の形態2に係る半導体装置の製造方法によれば、上記実施の形態1と同様の理由により、メモリセルトランジスタのしきい値電圧の低下及び逆ナロー効果の発生を抑制することができる。

【0049】

また、チャネルドープ領域5はソース領域5S、6S内には形成されないため、p型のチャネルドープ領域5の形成に起因してn型のソース領域5S、6Sの不純物濃度が低下することはない。従って、ソース領域5S、6Sとコンタクトプラグ30、31との接触抵抗は上昇しないため、データの書き込み特性が悪化することを回避できる。また、ソース領域5S、6Sの電界強度は高くならないため、リフレッシュ特性が悪化することを回避できる。

【0050】

実施の形態3。

図20、21は、本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態1と同様の工程を経て、図8に示した構造を得る。次に、HF等の水溶液を用いて、シリコン酸化膜20を除去する。図20を参照して、次に、ゲート絶縁膜として機能するシリコン酸化膜15₁、15₂を、素子形成領域AR1、AR2内におけるシリコン基板10の上面に形成する。次に、CVD法等によって、シリコン酸化膜15₁、15₂及び素子分離絶縁膜4上に、導電膜16を形成する。次に、CVD法等によって、導電膜16上にシリコン窒化膜17を形成する。

【0051】

図21を参照して、次に、B等の不純物を、シリコン窒化膜17、導電膜16

、及びシリコン酸化膜 15_1 、 15_2 を通して、シリコン基板 10 内にイオン注入する。これにより、p型のウェル領域 11 が形成される。次に、B、BF₂、又はIn等の不純物を、シリコン窒化膜 17 、導電膜 16 、及びシリコン酸化膜 15_1 、 15_2 を通して、シリコン基板 10 内にイオン注入する。これにより、p型のチャネルカット領域 12 が形成される。次に、B、BF₂、又はIn等の不純物を、シリコン窒化膜 17 、導電膜 16 、及びシリコン酸化膜 15_1 、 15_2 を通して、シリコン基板 10 内にイオン注入する。これにより、p型のチャネルドープ領域 $1C$ 、 $2C$ が形成される。その後、熱処理を行うことにより、シリコン基板 10 内にイオン注入した上記の各不純物を活性化させる。

【0052】

次に、写真製版法及び異方性ドライエッティング法によって、シリコン窒化膜 17 をパターニングする。次に、シリコン窒化膜 17 をエッティングマスクとして用いて、異方性ドライエッティング法によって導電膜 16 をエッティングする。次に、ランプ酸化法等によって導電膜 16 を酸化することにより、絶縁膜 18 を形成する。次に、シリコン窒化膜 17 を注入マスクとして用いて、P、As、又はSb等の不純物をイオン注入することにより、n型のソース領域 $1S$ 、 $2S$ 及びn型のドレイン領域 $1D$ 、 $2D$ を、シリコン基板 10 の上面内に形成する。以上の工程により、図2に示した構造が得られる。

【0053】

このように本実施の形態3に係る半導体装置の製造方法によれば、図20に示した工程で、ゲート絶縁膜として機能するシリコン酸化膜 15_1 、 15_2 が形成される。その後、図21に示した工程で、チャネルドープ領域 $1C$ 、 $2C$ が形成される。従って、チャネルドープ領域 $1C$ 、 $2C$ 内に含まれている不純物は、ゲート絶縁膜を形成するための熱処理によってゲート絶縁膜中に吸い上げられることがない。その結果、チャネルドープ領域 $1C$ 、 $2C$ の不純物濃度の低下に起因するしきい値電圧の低下及び逆ナロー効果の発生を、回避することができる。

【0054】

よって、チャネルドープ領域 $1C$ 、 $2C$ を形成する際に所望の値よりも高濃度のp型不純物をイオン注入する必要がないため、データの書き込み特性及びリフ

レッシュ特性の悪化を回避できる。

【0055】

なお、本実施の形態3において、チャネルドープ領域 5_1 、 5_2 を形成しなくても上記の効果は得られるが、チャネルドープ領域 5_1 、 5_2 を形成した方がより効果的である。

【0056】

実施の形態4。

図22、23は、本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態2と同様の工程を経て、図15に示した構造を得る。図22を参照して、次に、CVD法等によって、シリコン酸化膜 4_4 を、ゲート構造 3_5 、 3_6 を覆って全面的に形成する。次に、写真製版法及び異方性ドライエッチング法によって、ソース領域 5_S 、 6_S 及びドレイン領域 5_6D にそれぞれ繋がるコンタクトホール 6_0 、 6_2 、 6_1 を、シリコン酸化膜 4_4 内に形成する。

【0057】

図23を参照して、次に、写真製版法によって、コンタクトホール 6_0 、 6_2 の上方が開口したパターンを有するフォトレジスト 6_3 を形成する。次に、フォトレジスト 6_3 を注入マスクとして用いて、P、As、又はSb等の不純物を、 $1E12/cm^2 \sim 1E14/cm^2$ 程度の濃度でイオン注入する。これにより、n型の不純物導入領域 1_00 が、ソース領域 5_S 、 6_S の上面内にそれぞれ形成される。

【0058】

次に、フォトレジスト 6_3 を除去する。次に、コンタクトホール $6_0 \sim 6_2$ 内を、P、As、又はSb等の不純物がドープされたポリシリコン膜によって充填することにより、コンタクトプラグ $3_0 \sim 3_2$ を形成する。以降は、図17に示した工程以降のプロセスが実行され、半導体装置が完成する。

【0059】

このように本実施の形態4に係る半導体装置の製造方法によれば、ソース領域 5_S 、 6_S の上面内に不純物導入領域 1_00 を形成することによって、上記実施

の形態2と比較して、ソース領域5S, 6Sの電界強度をさらに低下することができる。その結果、リフレッシュ特性やホットキャリア特性等のデバイス特性をさらに向上でき、さらにはデバイスの信頼性を高めることができる。しかも、不純物導入領域100はソース領域5S, 6S内のみに形成されるため、メモリセルトランジスタのショートチャネル特性が悪化することを回避できる。

【0060】

実施の形態5.

図24は、本発明の実施の形態5に係る半導体装置の構造を示す上面図である。また、図25は、図24に示したラインXXV-XXVに沿った位置に関する断面構造を示す断面図である。図24を参照して、素子分離絶縁膜4によって、複数の素子形成領域AR（図24における符号ARa～ARe）が規定されている。メモリセルアレイの同一の行に属する素子形成領域ARaと素子形成領域ARb、及び同一の行に属する素子形成領域ARdと素子形成領域AREとは、互いに離間しつつX方向に沿って並んでいる。図24, 25を参照して、各素子形成領域AR内には、X方向に関するソース領域5S, 6Sの端部に、不純物導入領域70, 73が形成されている。なお、上記実施の形態2と同様に、各素子形成領域AR内にはチャネルドープ領域5が形成されていてもよい。

【0061】

図26, 27は、本実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。図26を参照して、まず、上記実施の形態1と同様の方法によって、シリコン酸化膜20及びシリコン窒化膜21を形成する。また、シリコン酸化膜20及びシリコン窒化膜21をパターニングするためのエッチングのオーバーエッチによって、シリコン基板10の上面内に凹部22aを形成する。

【0062】

図27を参照して、次に、シリコン酸化膜20及びシリコン窒化膜21が形成されている状態で、P、As、又はSb等のn型不純物76, 77を、 $1E12/cm^2$ ～ $1E14/cm^2$ 程度の濃度で、X方向の斜め上方からイオン注入する。このイオン注入は、図24において矢印X1, X2で示すように、+X及び-Xの両方向から順に行われる。

【0063】

また、イオン注入の注入角度 β （即ち不純物 76, 77 の注入方向とシリコン基板 10 の上面の法線方向とが成す角度）としては、X 方向に互いに隣接するシリコン窒化膜 21 同士の間隔を V、シリコン酸化膜 20 及びシリコン窒化膜 21 の合計の膜厚を T、シリコン窒化膜 21 の上面から凹部 22a の底面までの深さを U と定義したときに、 $\tan^{-1}(V/U) \leq \beta \leq \tan^{-1}(V/T)$ の関係が成り立つ範囲の注入角度を採用する。なお、一例として、間隔 V は 390 nm 程度であり、深さ U は 170 nm 程度である。

【0064】

注入角度 β をこの範囲内に規定すると、凹部 22a の側面のうち X 方向に垂直な部分内には、不純物 76, 77 がイオン注入される。例えば、図 14 に示した第 3 側面 10A₃ に対応する凹部 22a の側面のうち、X 方向に垂直な部分内に、不純物 76, 77 がイオン注入される。その結果、図 27 に示すように、素子形成領域 A R d, A R e 内におけるシリコン基板 10 の上面内に、n 型の不純物導入領域 70, 73 がそれぞれ形成される。一方、X 方向の斜め上方からのイオン注入であるため、凹部 22a の側面のうち Y 方向に垂直な部分内には、不純物 76, 77 はイオン注入されない。

【0065】

その後、凹部 22 を形成し、凹部 22 の側面及び底面上にシリコン酸化膜 13 を形成した後、上記実施の形態 2 と同様に、図 6 に示した工程以降のプロセスが実行されて半導体装置が完成する。

【0066】

このように本実施の形態 5 に係る半導体装置の製造方法によると、素子形成領域 A R 内におけるシリコン基板 10 の上面内に、不純物導入領域 70, 73 がそれぞれ形成される。従って、凹部 22 を形成するためのエッチング等のダメージによってシリコン基板 10 内に結晶欠陥が発生した場合であっても、その結晶欠陥を不純物導入領域 70, 73 によって覆うことができる。その結果、結晶欠陥に起因するリーク電流を抑制できるため、リフレッシュ特性を向上することが可能となる。

【0067】

しかも、不純物導入領域70, 73は、素子分離絶縁膜4との界面付近におけるソース領域5S, 6S内のみに形成されるため、メモリセルトランジスタのショートチャネル特性が悪化することを回避できる。

【0068】

実施の形態6.

図28～31は、本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。図28～31では、シリコン基板10のうち、メモリセルアレイが形成されるメモリセルアレイ部の構造と、周辺回路が形成される周辺回路部の構造とを示している。以下、周辺回路部にpチャネルMOSFETが形成される場合を例にとり説明する。

【0069】

図28を参照して、まず、上記実施の形態1と同様の方法によって、メモリセルアレイ部及び周辺回路部において、シリコン酸化膜20、シリコン窒化膜21、凹部22、及びシリコン酸化膜13を形成する。また、メモリセルアレイ部において、チャネルドープ領域5₁, 5₂を形成する。次に、写真製版法によって、周辺回路部を覆うフォトレジスト80を形成する。次に、フォトレジスト80を注入マスクとして用いて、B又はIn等の不純物を、シリコン基板10の上面に對して垂直な方向から、凹部22及びシリコン酸化膜13を通してシリコン基板10内にイオン注入する。これにより、メモリセルアレイ部における凹部22の底面内に、p型のチャネルカット領域81が形成される。

【0070】

図29を参照して、次に、フォトレジスト80を除去した後、上記実施の形態1と同様に、図6～8に示した工程を実行する。具体的には、凹部22内を完全に充填し得る膜厚を有するシリコン酸化膜24を全面的に形成し、次に、シリコン窒化膜21の上面が露出するまでシリコン酸化膜24を研磨し、次に、シリコン酸化膜24を所望の膜厚だけ除去し、次に、シリコン窒化膜21を除去する。

【0071】

図30を参照して、次に、写真製版法によって、周辺回路部を覆うフォトレジ

スト82を形成する。次に、フォトレジスト82を注入マスクとして用いてp型不純物をイオン注入することにより、メモリセルアレイ部におけるシリコン基板10内に、p型のチャネルドープ領域1C、2C及びp型のウェル領域11を形成する。

【0072】

図31を参照して、次に、フォトレジスト82を除去した後、写真製版法によって、メモリセルアレイ部を覆うフォトレジスト83を形成する。次に、フォトレジスト83を注入マスクとして用いてn型不純物をイオン注入することにより、周辺回路部におけるシリコン基板10内に、n型のチャネルドープ領域86、n型のチャネルカット領域85、及びn型のウェル領域84を形成する。

【0073】

フォトレジスト83を除去した後、上記実施の形態2と同様に、図10に示した工程以降のプロセスが実行され、半導体装置が完成する。

【0074】

このように本実施の形態6に係る半導体装置の製造方法によれば、メモリセルアレイ部においては、凹部22の底面内のみにチャネルカット領域81が形成される。換言すれば、n型のソース領域5S、6Sの下方には、p型のチャネルカット領域81が形成されない。従って、上記実施の形態2と比較して、ソース領域5S、6Sの電界強度をさらに緩和できるため、リフレッシュ特性を向上することが可能となる。

【0075】

また、チャネルカット領域81を形成するためのイオン注入を行う際に、周辺回路部はフォトレジスト80によって覆われている。従って、周辺回路部におけるシリコン基板10内に不要なチャネルカット領域81が形成されることを回避できる。

【0076】

実施の形態7。

図32～35は、本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。図32を参照して、まず、上記実施の形態1と同様の方法

によって、メモリセルアレイ部及び周辺回路部において、シリコン酸化膜20、シリコン窒化膜21、凹部22、及びシリコン酸化膜13を形成する。また、メモリセルアレイ部において、チャネルドープ領域5₁、5₂を形成する。次に、B又はI_n等の不純物を、シリコン基板10の上面に対して垂直な方向から、凹部22及びシリコン酸化膜13を通してシリコン基板10内にイオン注入する。これにより、メモリセルアレイ部及び周辺回路部における凹部22の底面内に、p型のチャネルカット領域81、90がそれぞれ形成される。

【0077】

図33を参照して、次に、上記実施の形態1と同様に、図6～8に示した工程を実行する。具体的には、凹部22内を完全に充填し得る膜厚を有するシリコン酸化膜24を全面的に形成し、次に、シリコン窒化膜21の上面が露出するまでシリコン酸化膜24を研磨し、次に、シリコン酸化膜24を所望の膜厚だけ除去し、次に、シリコン窒化膜21を除去する。

【0078】

図34を参照して、次に、写真製版法によって、周辺回路部を覆うフォトレジスト91を形成する。次に、フォトレジスト91を注入マスクとして用いてp型不純物をイオン注入することにより、メモリセルアレイ部におけるシリコン基板10内に、p型のチャネルドープ領域1C、2C及びp型のウェル領域11を形成する。

【0079】

図35を参照して、次に、フォトレジスト91を除去した後、写真製版法によって、メモリセルアレイ部を覆うフォトレジスト92を形成する。次に、フォトレジスト92を注入マスクとして用いてn型不純物をイオン注入することにより、周辺回路部におけるシリコン基板10内に、n型のチャネルドープ領域86、n型のチャネルカット領域93、及びn型のウェル領域84を形成する。チャネルカット領域93を形成するためのイオン注入においては、不純物の濃度を通常の濃度の2倍程度に設定する。これにより、p型のチャネルカット領域90がn型のチャネルカット領域93によって打ち消される。

【0080】

フォトレジスト92を除去した後、上記実施の形態2と同様に、図10に示した工程以降のプロセスが実行されて、半導体装置が完成する。

【0081】

このように本実施の形態7に係る半導体装置の製造方法によれば、上記実施の形態6と同様の理由により、ソース領域5S, 6Sの電界強度を緩和できるため、リフレッシュ特性を向上することが可能となる。

【0082】

また、図28に示したフォトレジスト80が不要となるため、上記実施の形態6と比較して、フォトマスクの必要枚数を削減することができる。

【0083】

実施の形態8.

図36は、本発明の実施の形態8に係る半導体装置の構造を示す上面図である。シリコン基板10は、メモリセルアレイ部95と周辺回路部96とを有している。図36では、メモリセルアレイ部95と周辺回路部96との境界を、仮想的にライン97によって表している。メモリセルアレイ部95においては、素子分離絶縁膜4によって複数の素子形成領域ARが規定されており、1個の素子形成領域AR内には2個のメモリセルが配設されている。本実施の形態8では、メモリセルアレイを構成する複数のメモリセルのうち、メモリセルアレイの少なくとも最外周に配設されている複数のメモリセルを、ダミーセルとして設定する。ダミーセルとして設定されたメモリセルは、コンタクトプラグ30～32が形成されないことにより、DRAMセルとしての機能を果たさない。

【0084】

上記実施の形態2に係る半導体装置の製造方法では、Y方向に隣接する素子形成領域AR上に形成されたシリコン窒化膜21によるシャドーイング効果を利用して、チャネルドープ領域5を形成すべき箇所が決定される。従って、メモリセルアレイ部95内でY方向の端に位置する素子形成領域AR₁₁, AR₁₂, AR₁₃では、シリコン窒化膜21によるシャドーイング効果を利用できないため、所望の箇所にチャネルドープ領域5を形成することができない。そのため、素子形成領域AR₁₁, AR₁₂, AR₁₃内に形成されているメモリセルをダミーセルとして

設定するのは必須である。

【0085】

同様に、上記実施の形態5に係る半導体装置の製造方法では、X方向の斜め上方からのイオン注入によって、不純物導入領域70, 73が形成される。従って、メモリセルアレイ部95内でX方向の端に位置する素子形成領域AR₁₁, AR₃₁, AR₅₁に関しては、周辺回路部96の構造等に起因して、不純物導入領域70, 73を形成できない場合が生じ得る。そのため、素子形成領域AR₁₁, AR₃₁, AR₅₁内に各々形成されている2個のメモリセルのうち、最外周側のメモリセルをダミーセルとして設定するのは必須である。

【0086】

このように本実施の形態8に係る半導体装置の製造方法によれば、メモリセルアレイの少なくとも最外周に配設されている複数のメモリセルを、ダミーセルとして設定する。これにより、所望の箇所にチャネルドープ領域5や不純物導入領域70, 73が形成されていないことに起因して半導体装置の性能や信頼性が低下することを、予め回避することができる。

【0087】

【発明の効果】

第1～第3の発明によれば、ゲート絶縁膜の形成に起因してチャネルドープ領域の不純物濃度が低下することを抑制することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の構造を示す上面図である。

【図2】 図1に示した半導体装置の断面構造を示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 図1に対応させて、シリコン窒化膜の形成パターンを示す上面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体装置の構造を示す上面図である。

【図13】 図12に示したラインXIII-XIIIに沿った位置に関する断面構造を示す断面図である。

【図14】 図12の一部に対応させて、シリコン窒化膜の形成パターンを示す上面図である。

【図15】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図16】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図18】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図19】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図20】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に

示す断面図である。

【図21】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図22】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図23】 本発明の実施の形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図24】 本発明の実施の形態5に係る半導体装置の構造を示す上面図である。

【図25】 図24に示したラインXXV-XXVに沿った位置に関する断面構造を示す断面図である。

【図26】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図27】 本発明の実施の形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図28】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図29】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図30】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図31】 本発明の実施の形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図32】 本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。

【図33】 本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。

【図34】 本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。

【図35】 本発明の実施の形態7に係る半導体装置の製造方法を工程順に示す断面図である。

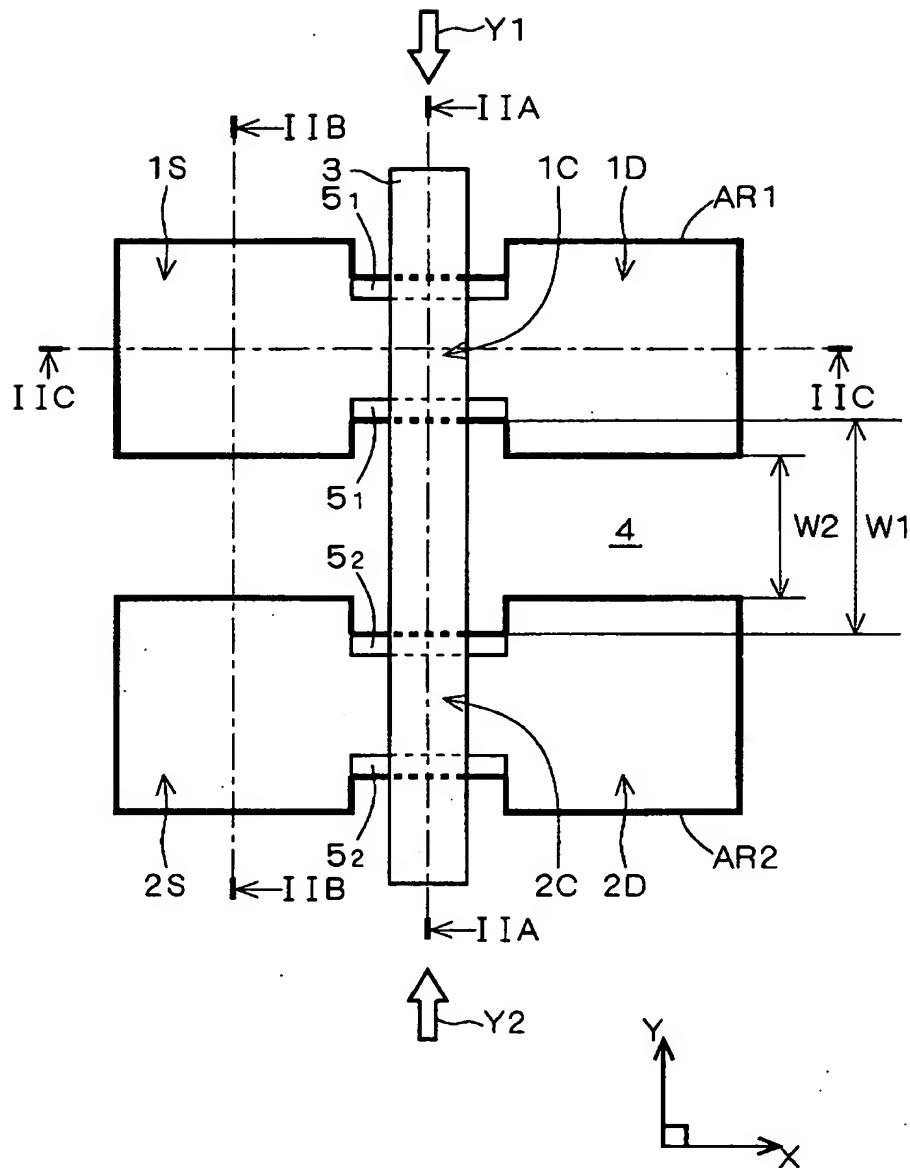
【図36】 本発明の実施の形態8に係る半導体装置の構造を示す上面図である。

【符号の説明】

1S, 2S, 5S, 6S ソース領域、1D, 2D, 56D ドレイン領域、
1C, 2D, 5, 38, 44 チャネルドープ領域、3 ゲート構造、4 素子
分離絶縁膜、10 シリコン基板、13, 15₁, 15₂, 20, 24 シリコン
酸化膜、16, 55 導電膜、21 シリコン窒化膜、22, 22a 凹部、3
0～32 コンタクトプラグ、52, 53 ポリシリコン膜、54 絶縁膜、7
0, 73, 100 不純物導入領域、80 フォトレジスト、81, 90, 93
チャネルカット領域。

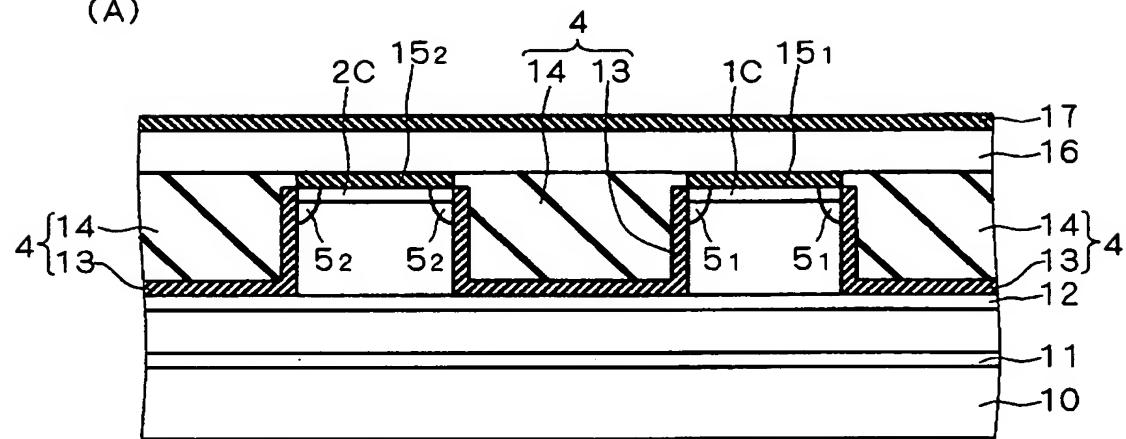
【書類名】図面

【図1】

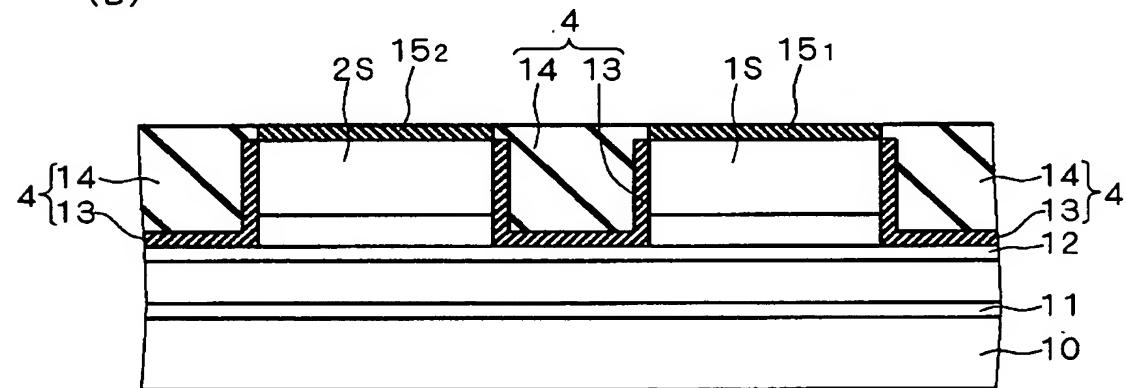


【図2】

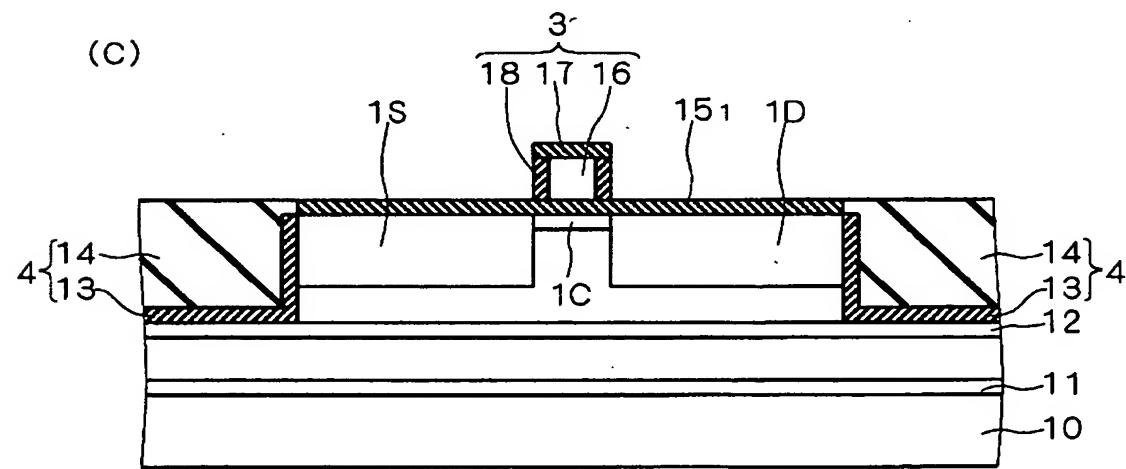
(A)



(B)

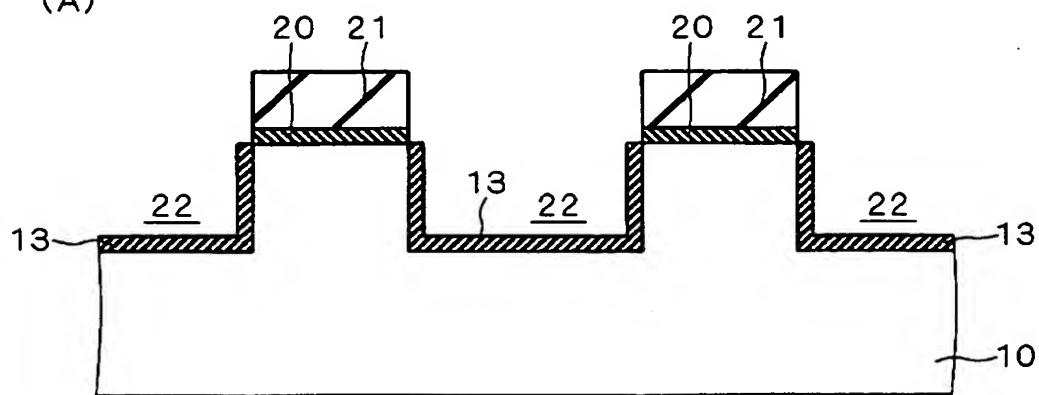


(C)

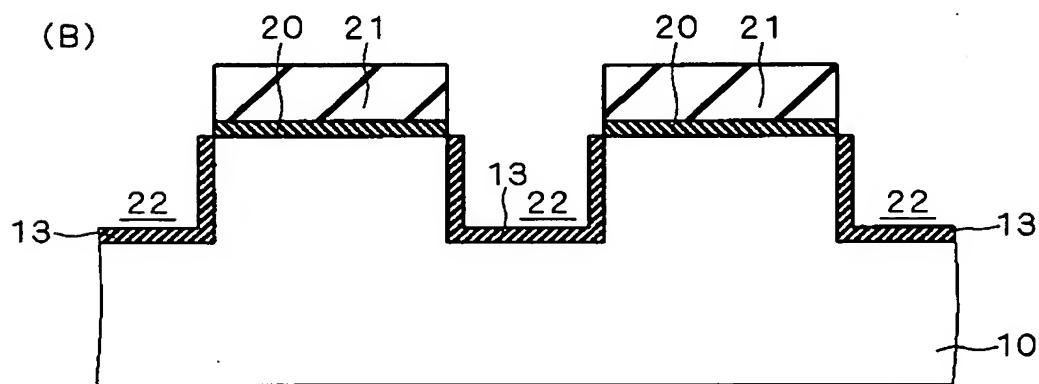


【図3】

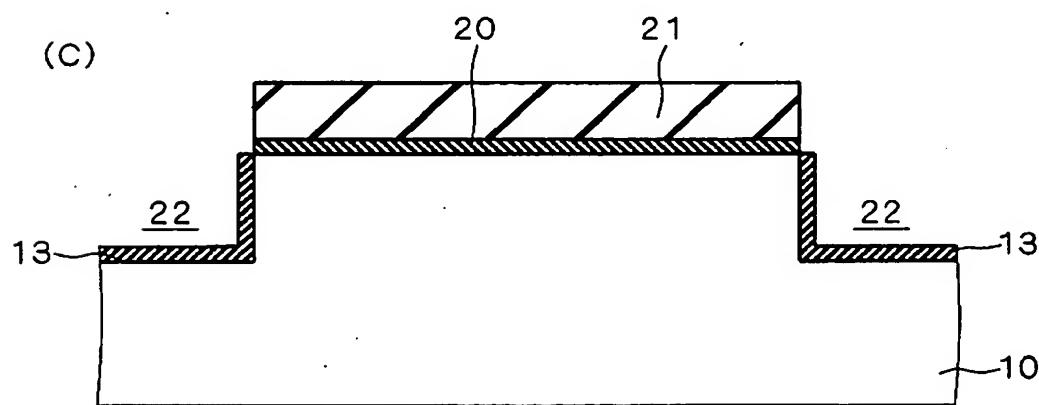
(A)



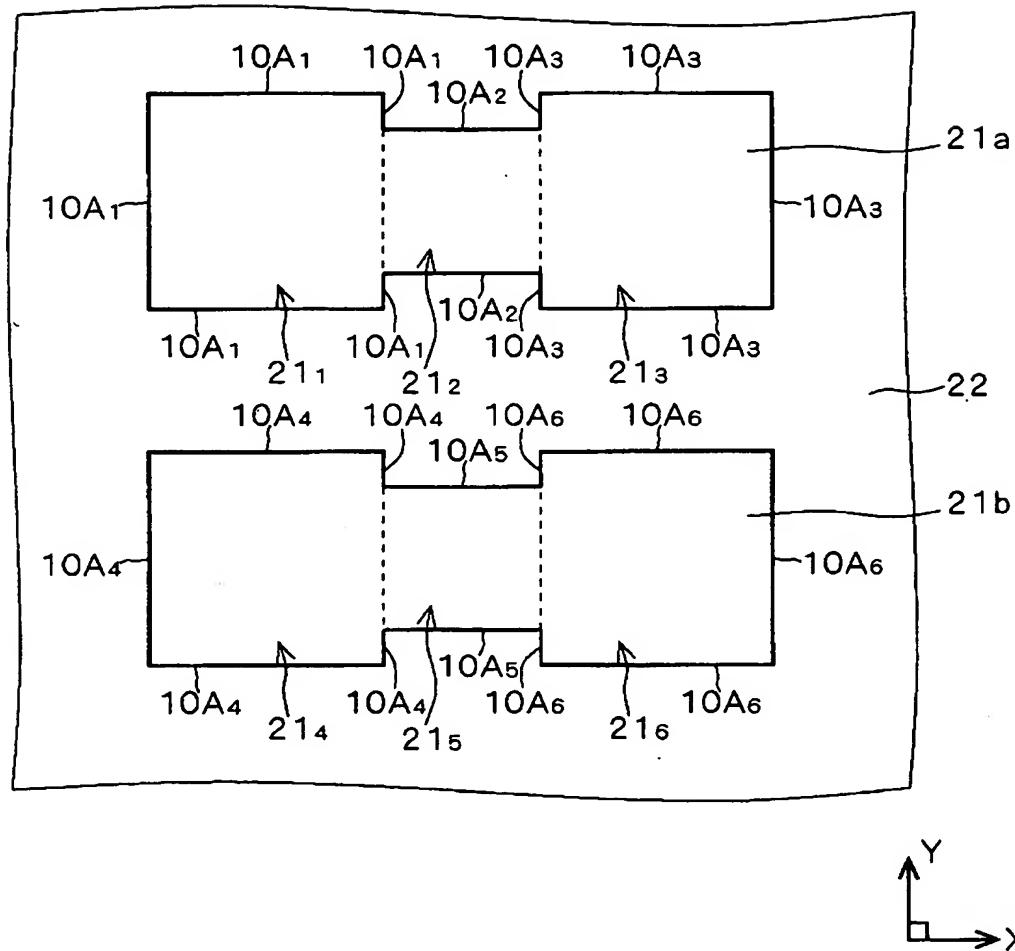
(B)



(C)

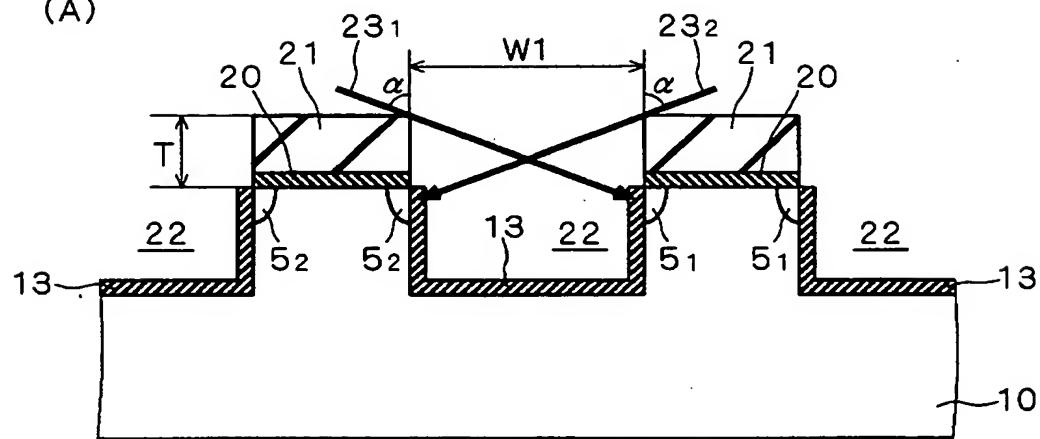


【図4】

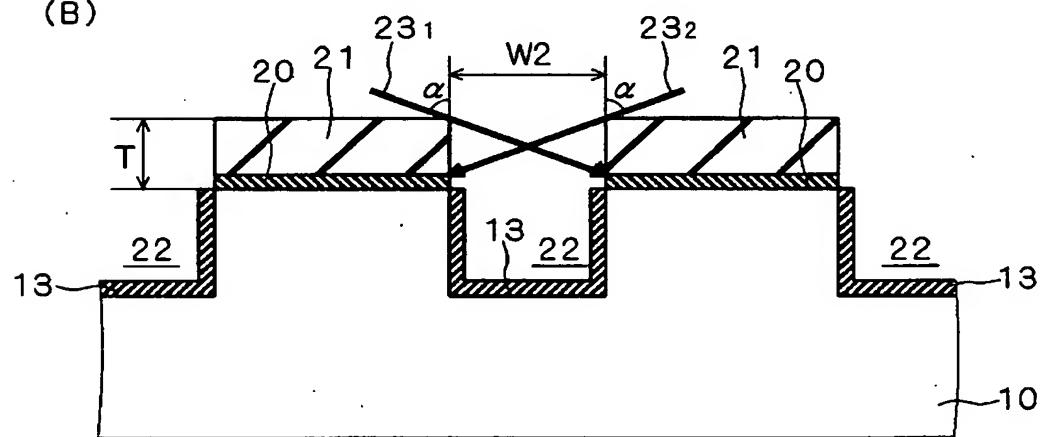


【図5】

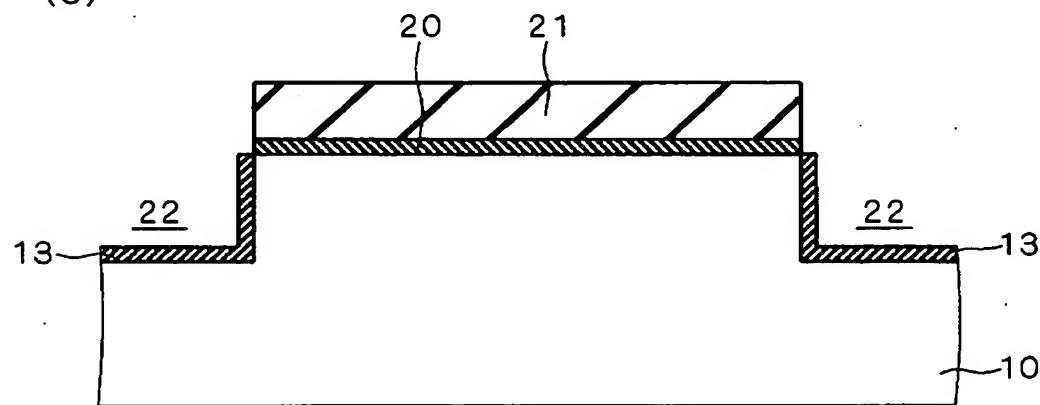
(A)



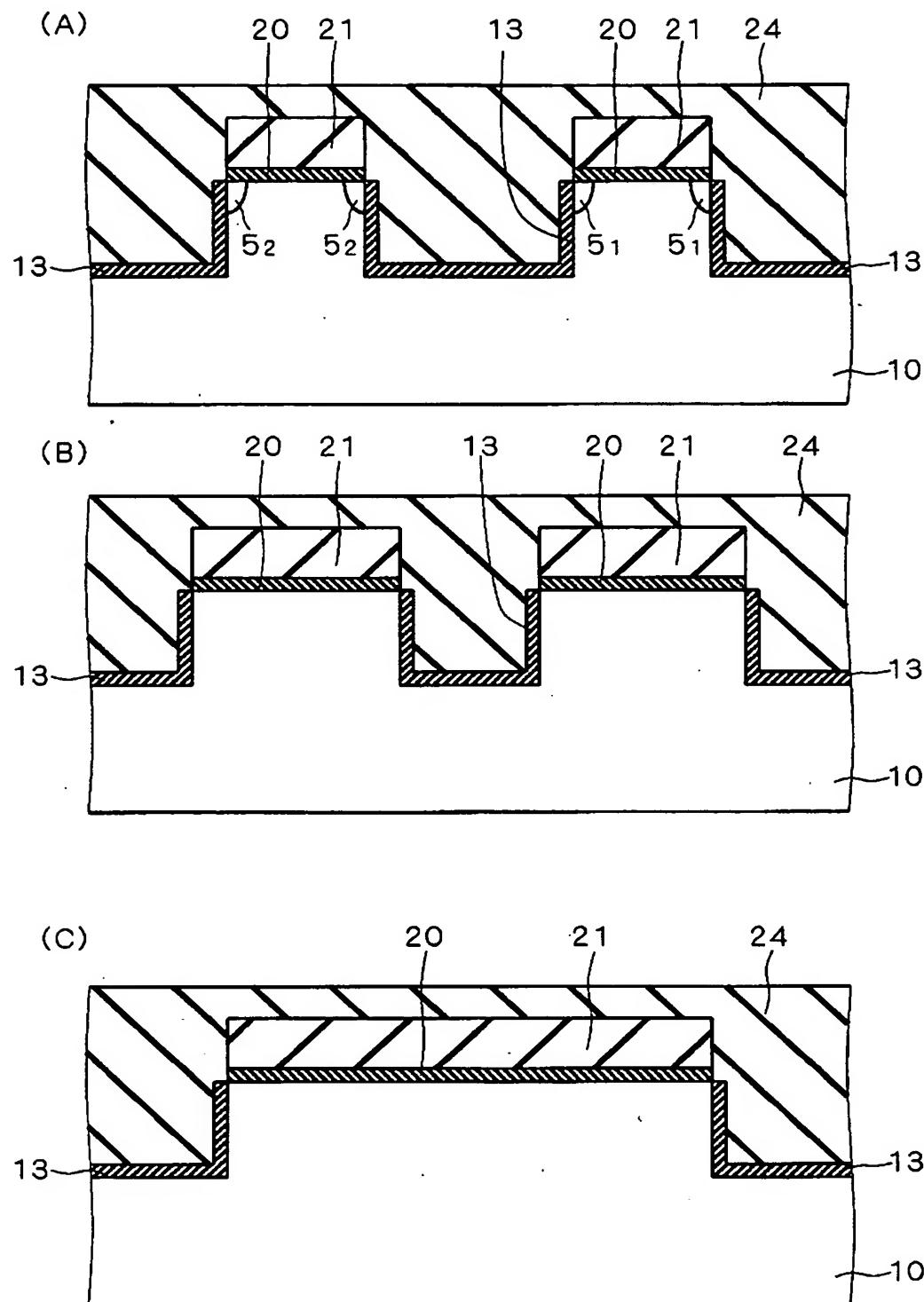
(B)



(C)

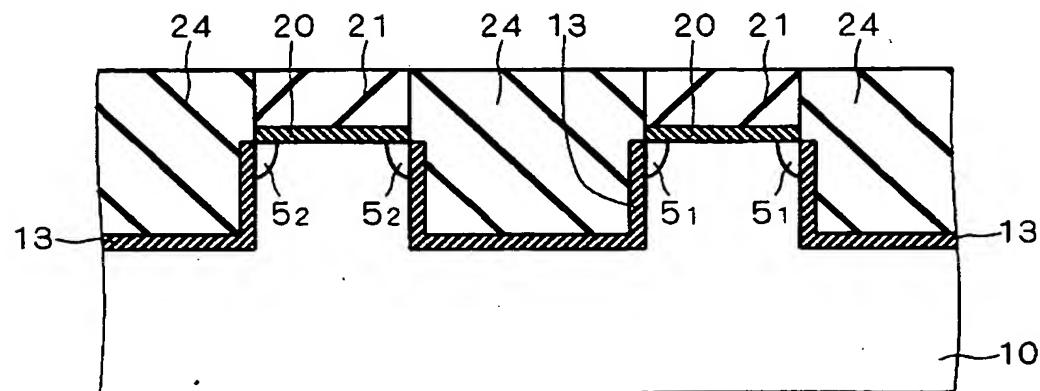


【図6】

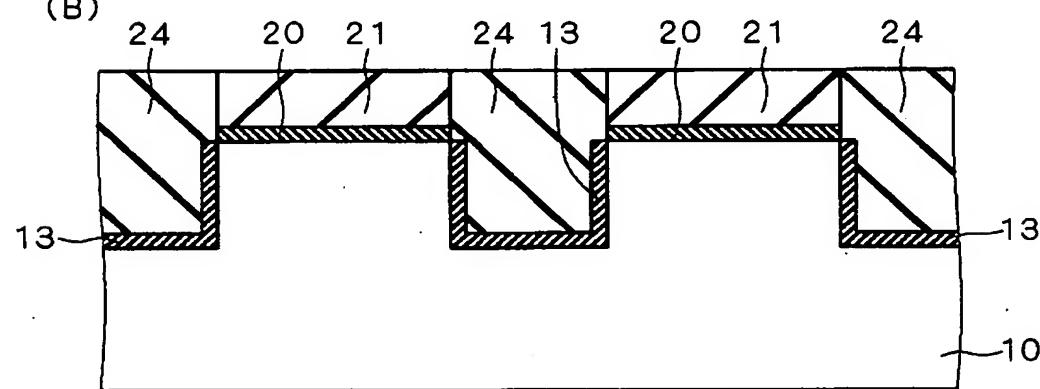


【図7】

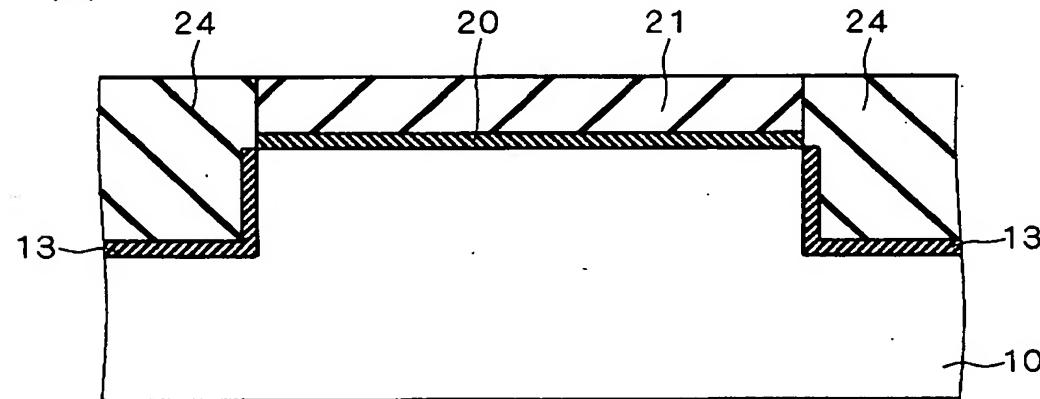
(A)



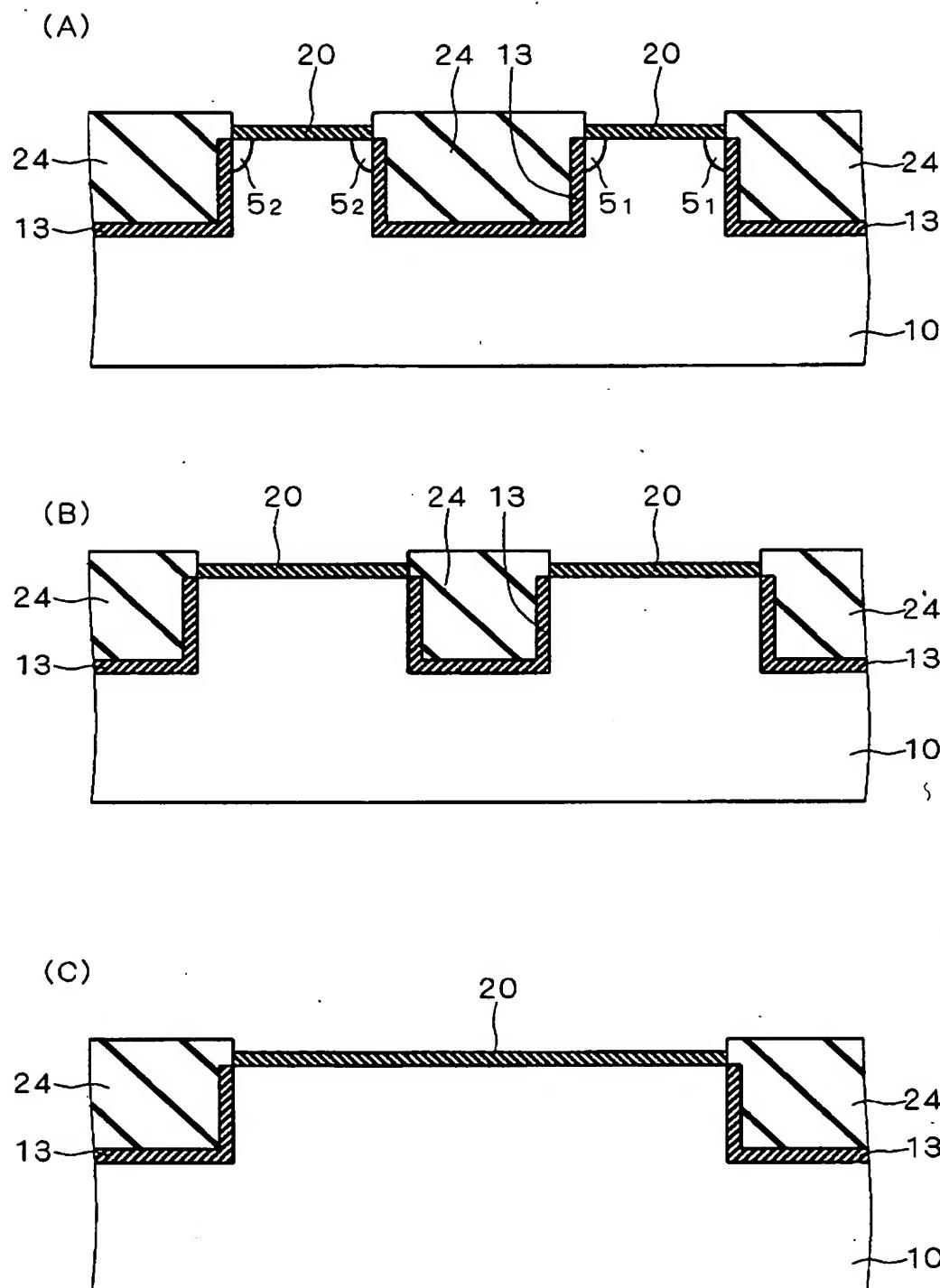
(B)



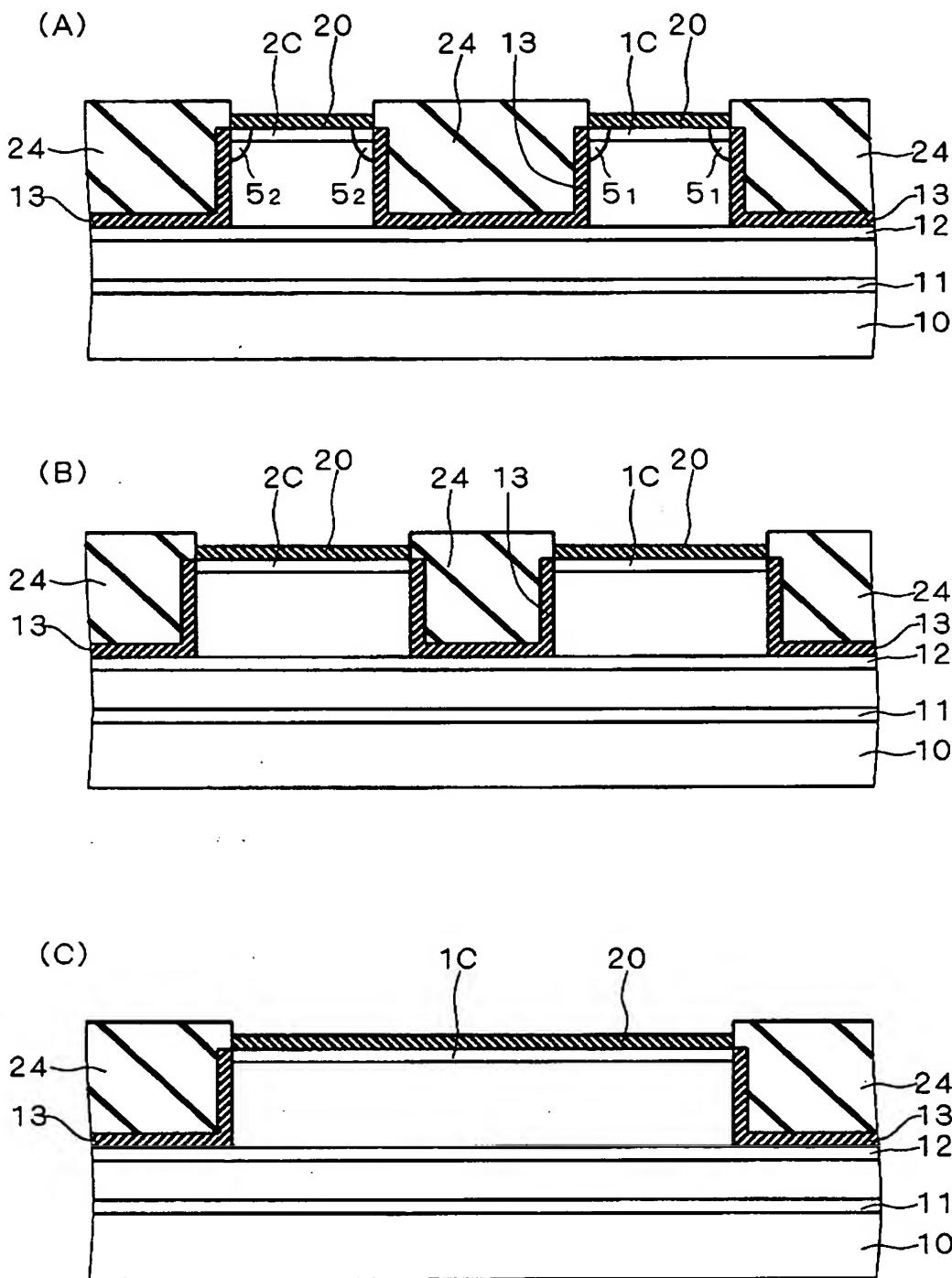
(C)



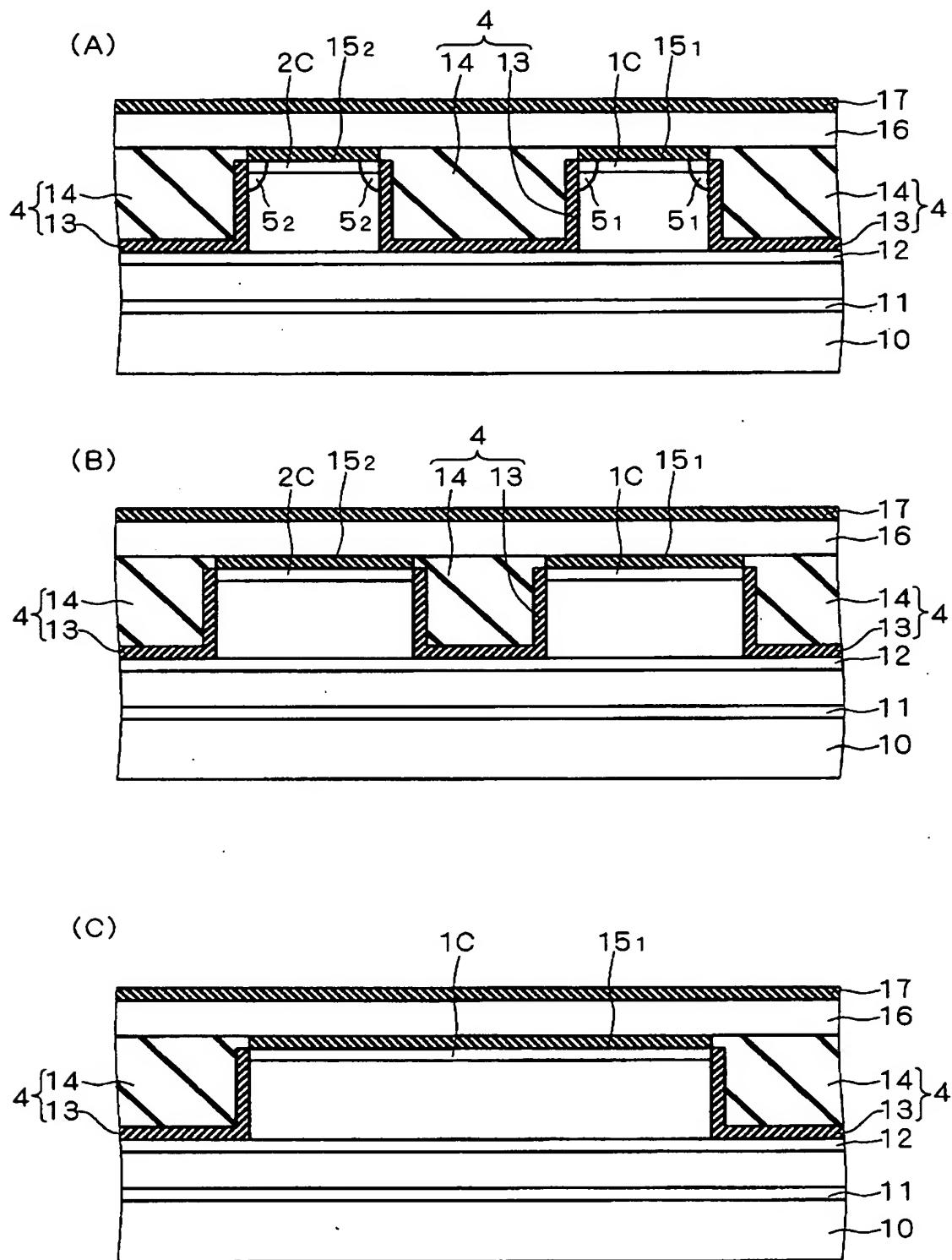
【図8】



【図9】

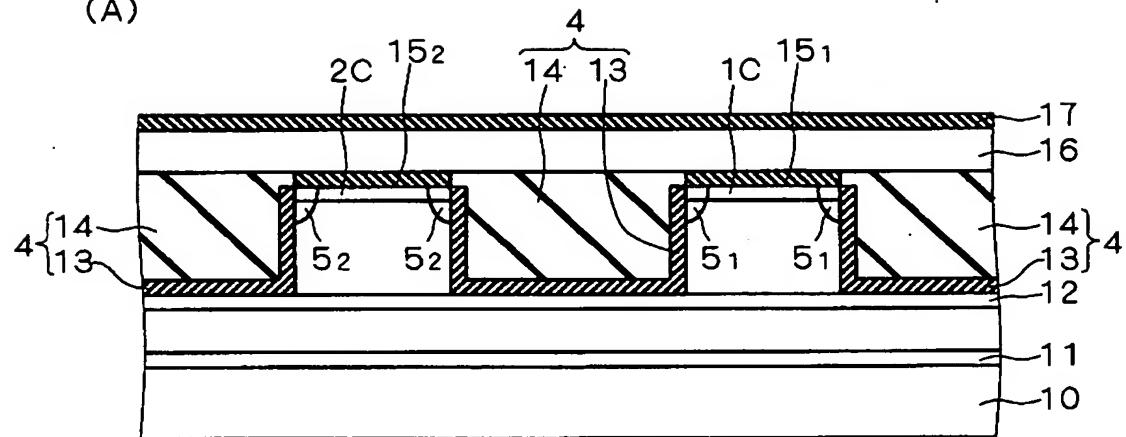


【図10】

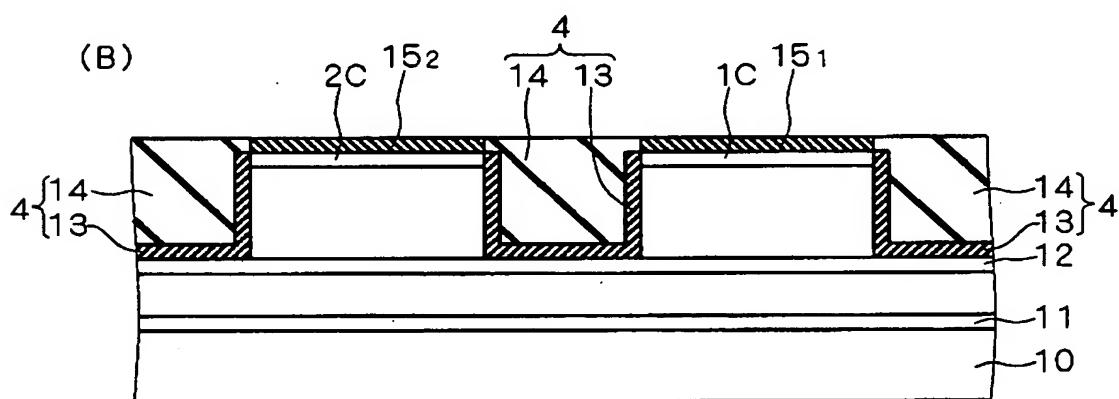


【図11】

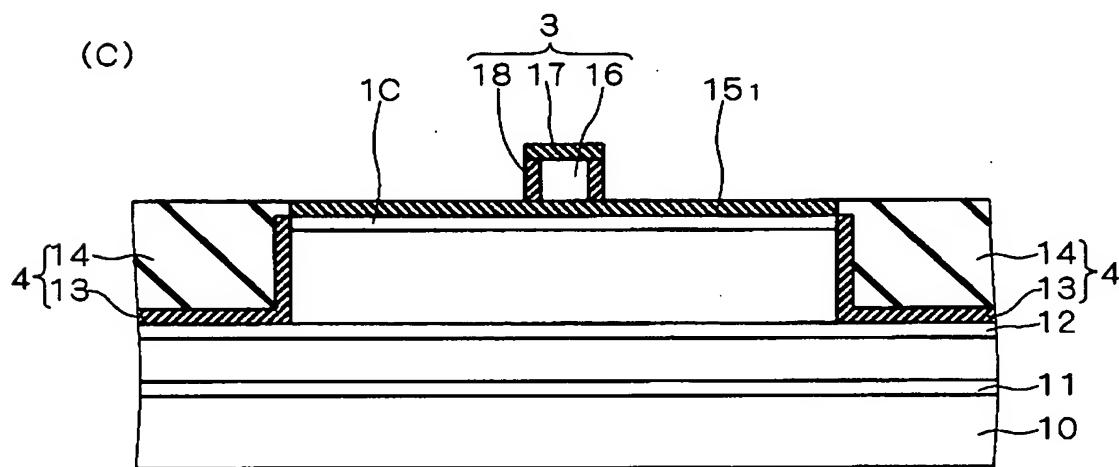
(A)



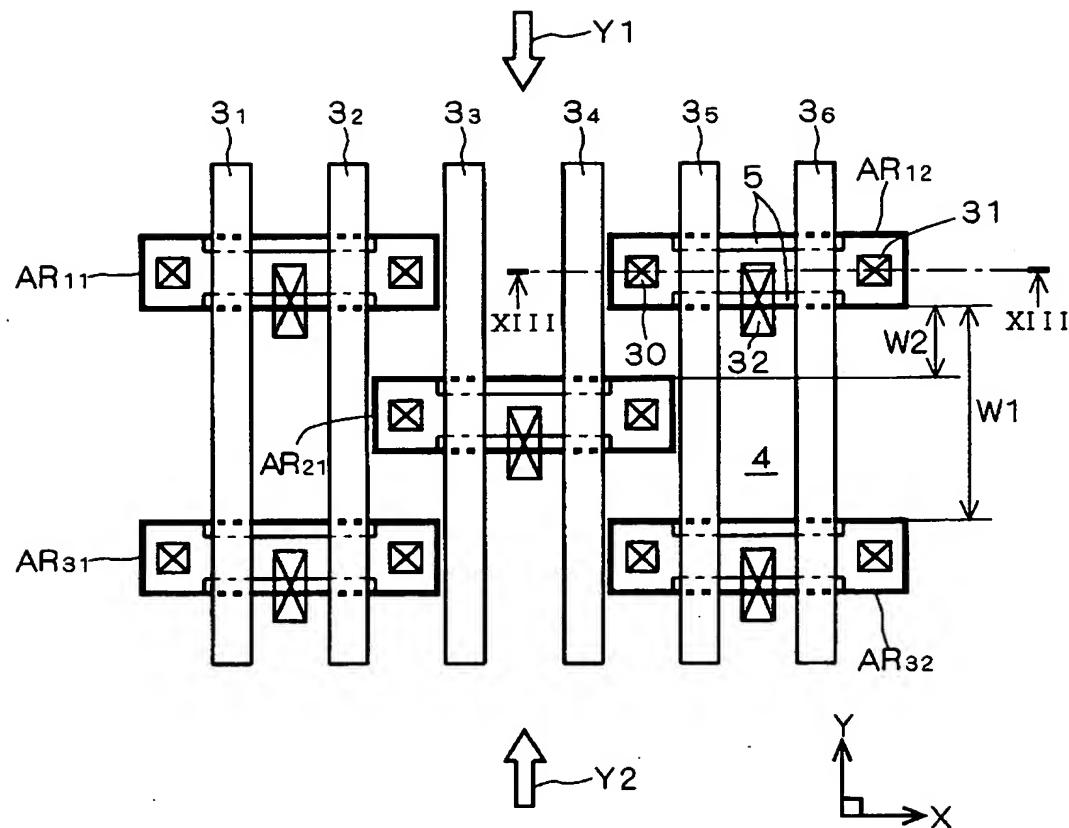
(B)



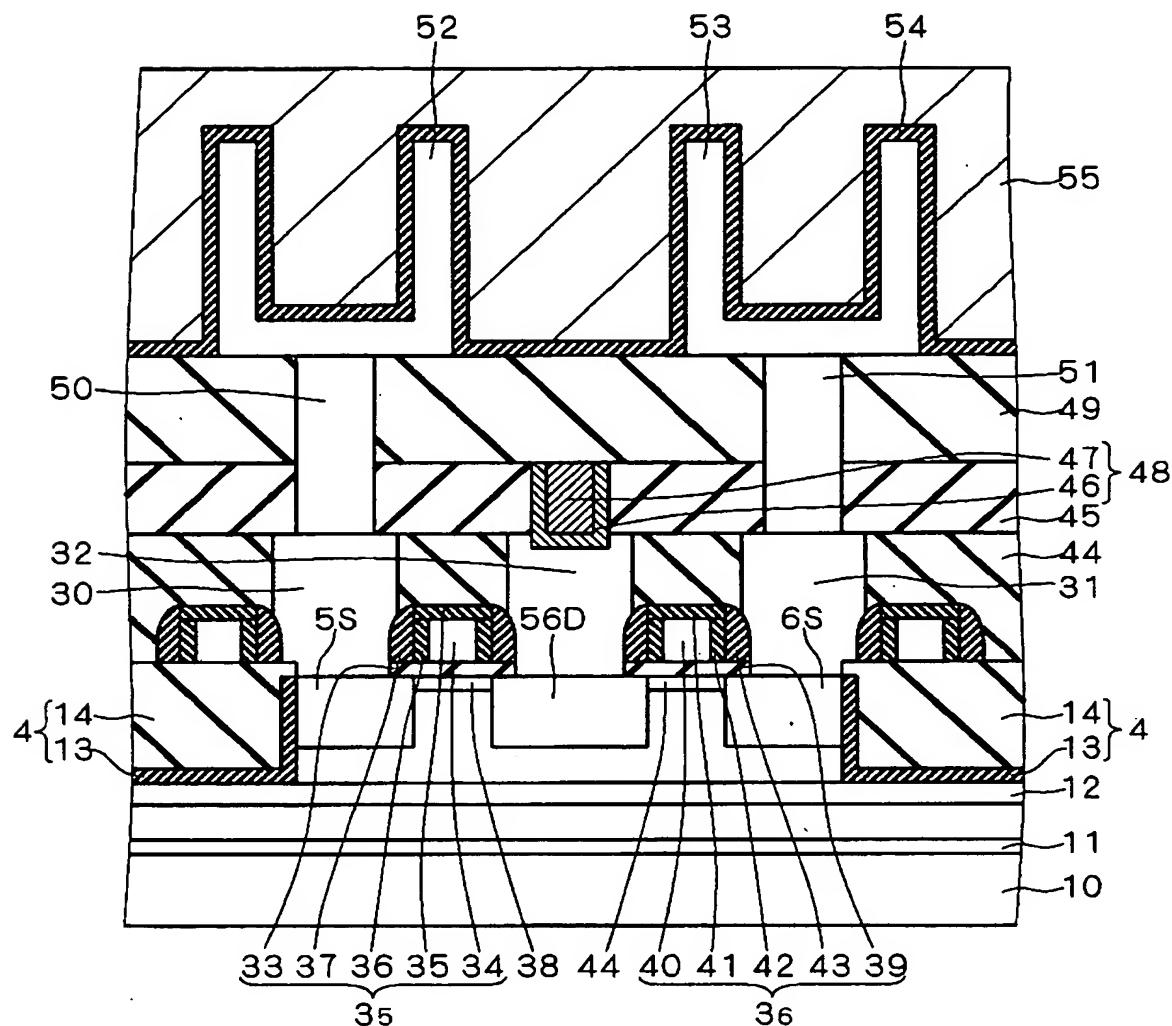
(C)



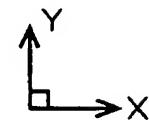
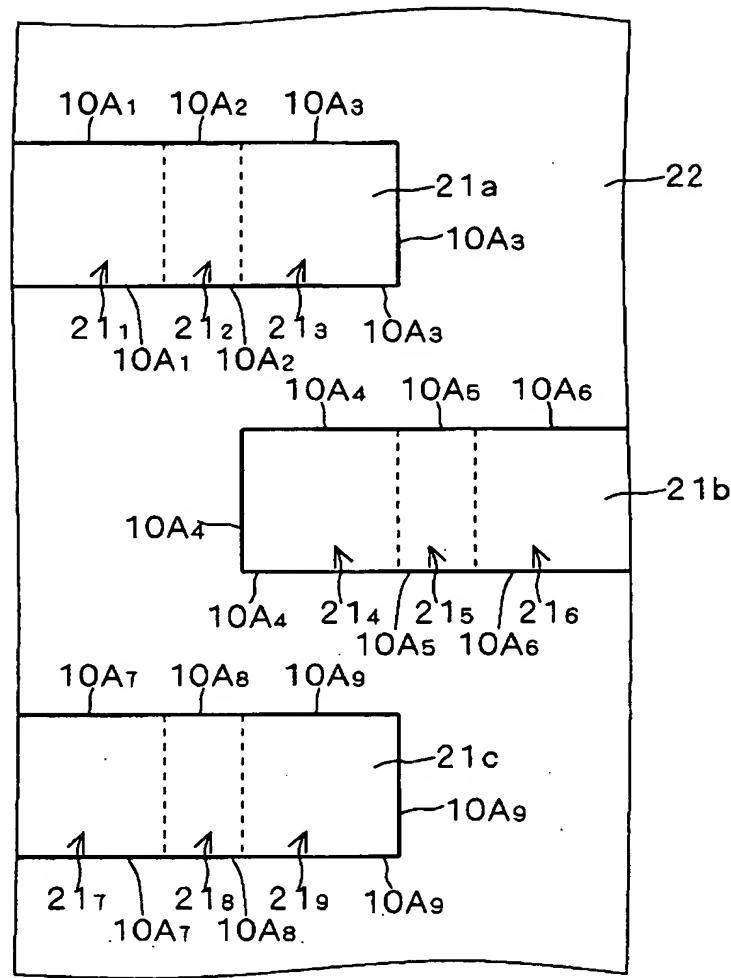
【図12】



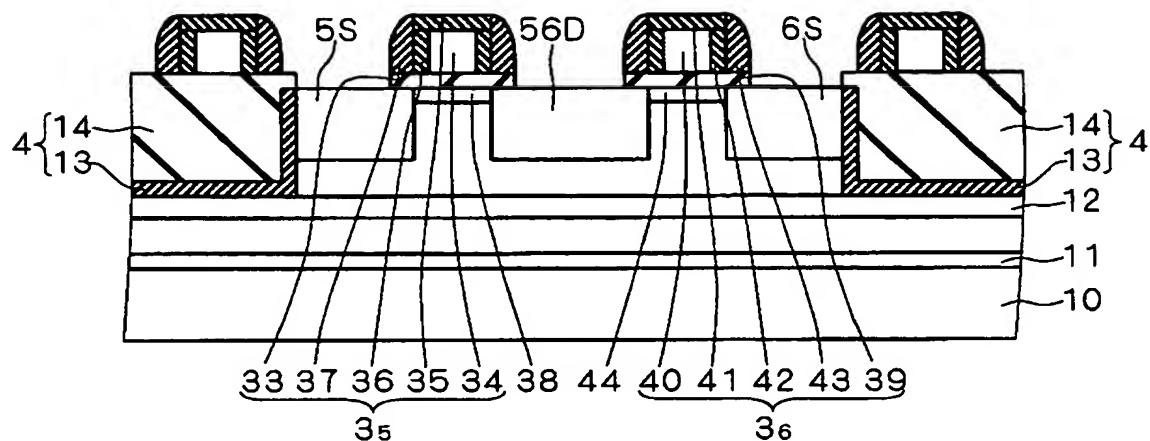
【図13】



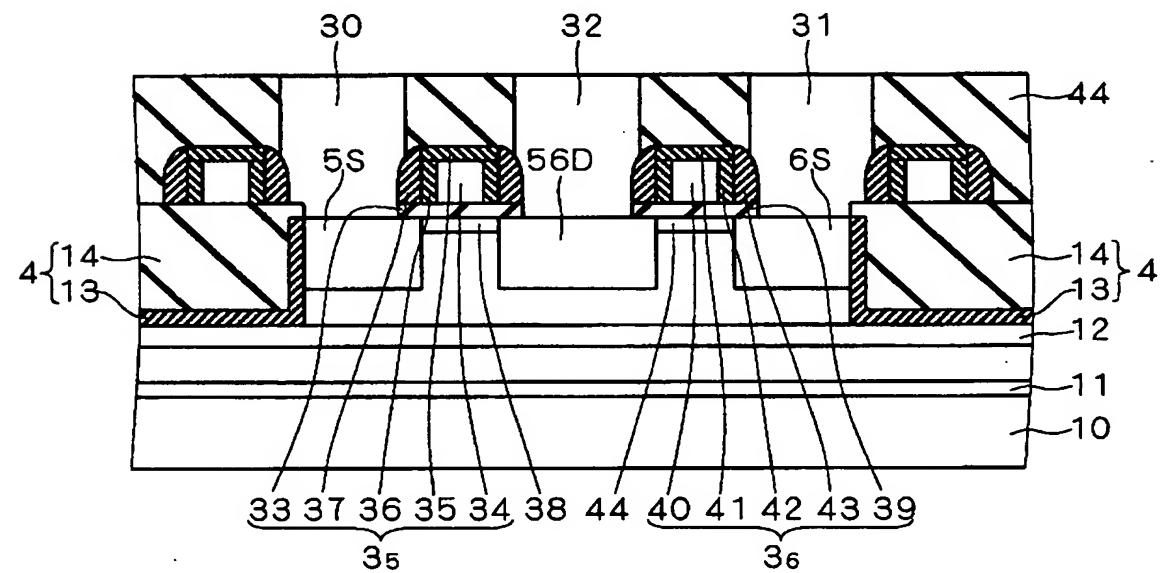
【図14】



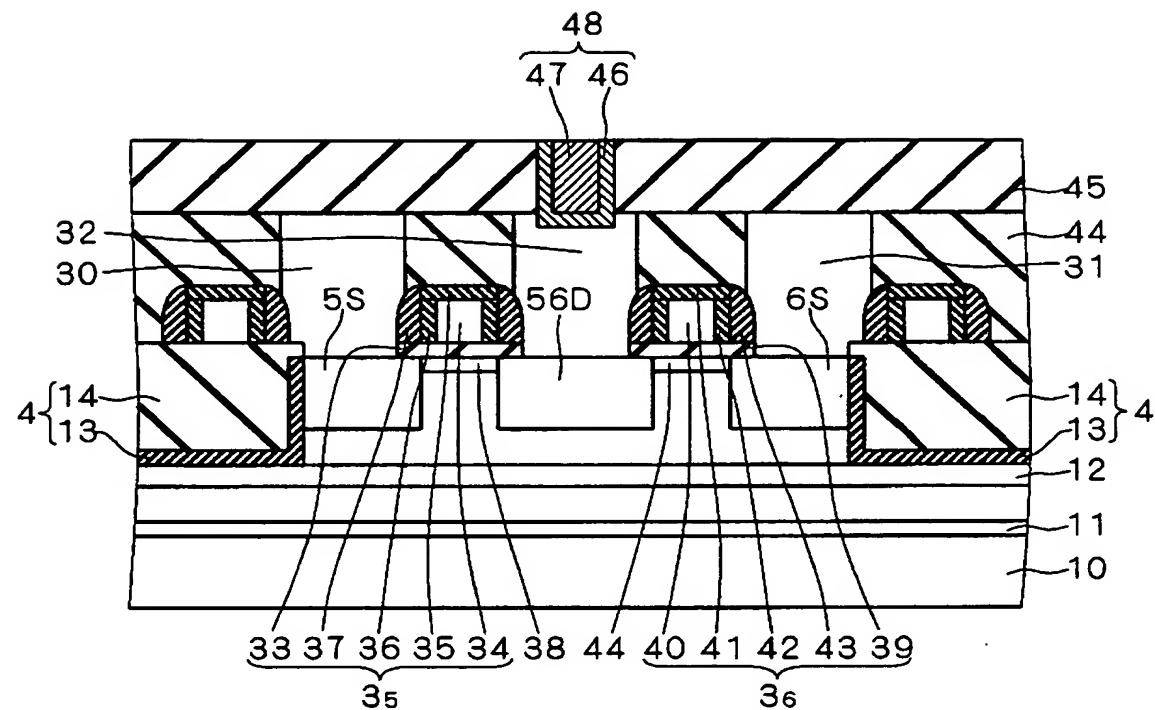
【図15】



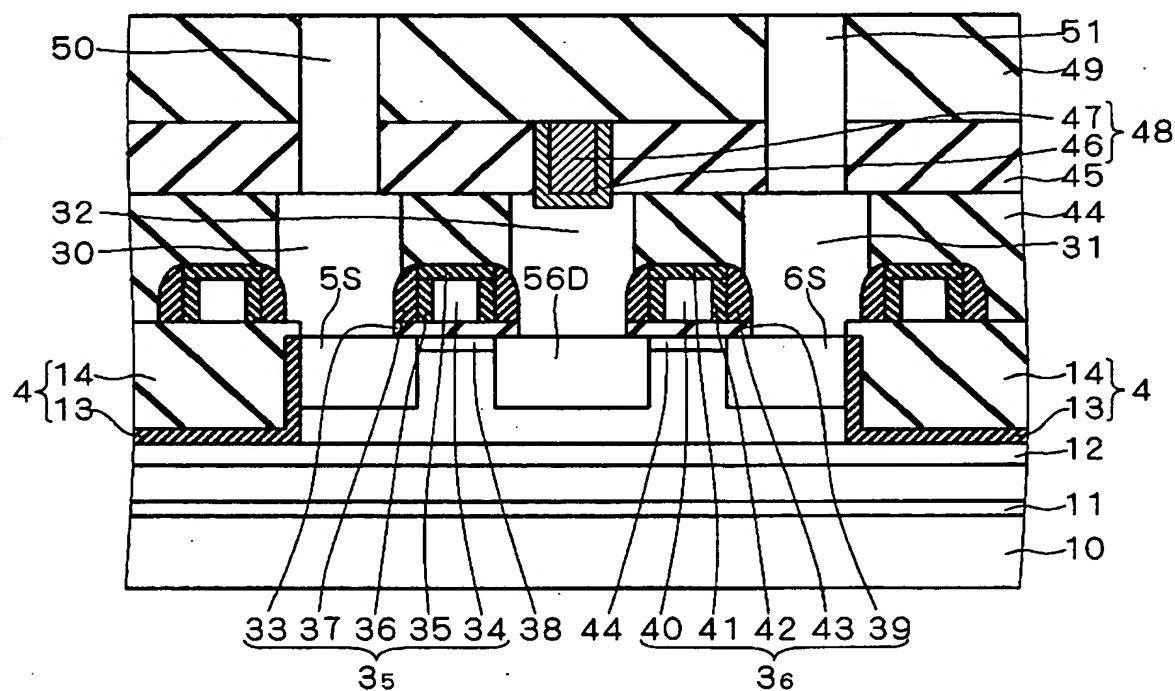
【図16】



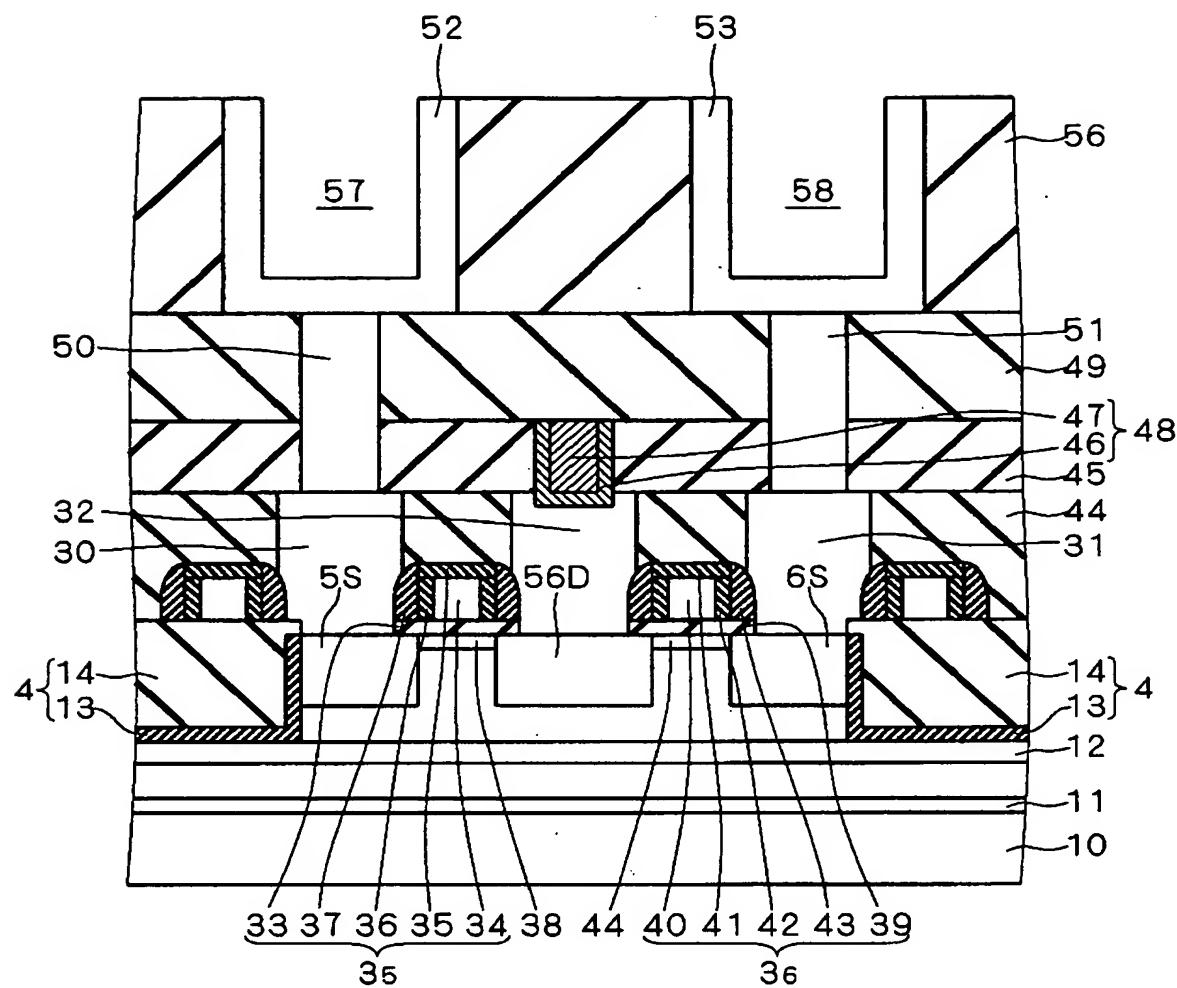
【図17】



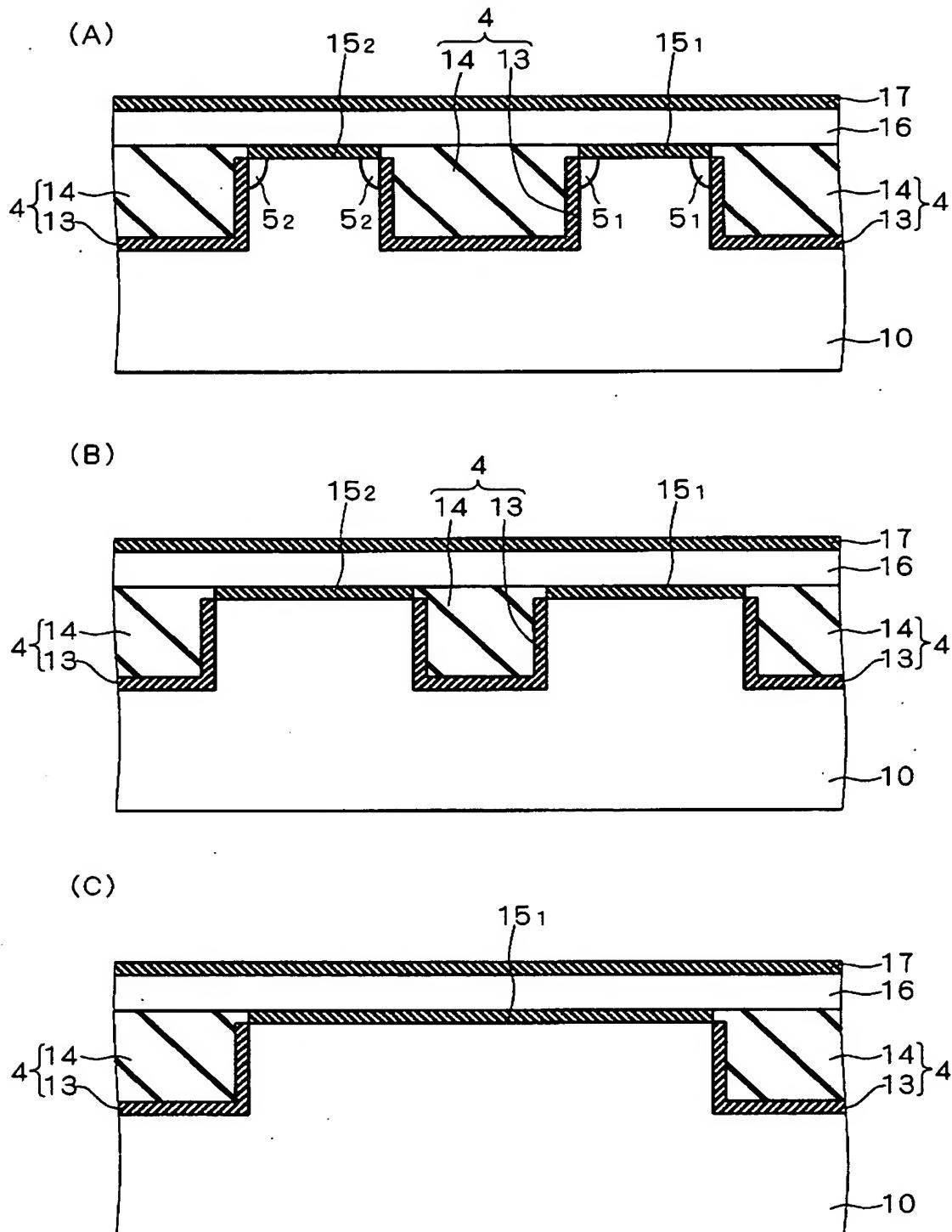
【図18】



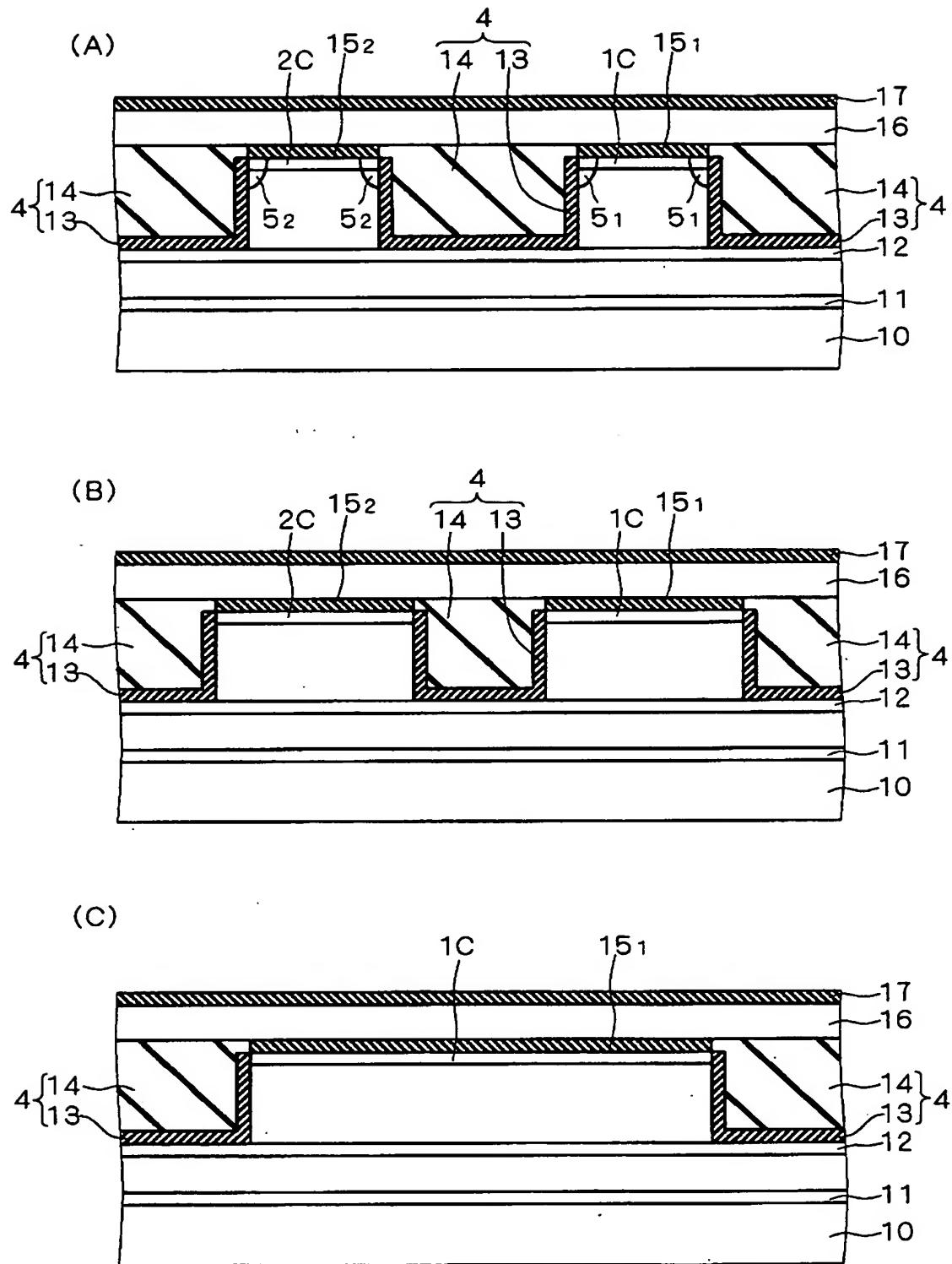
【図19】



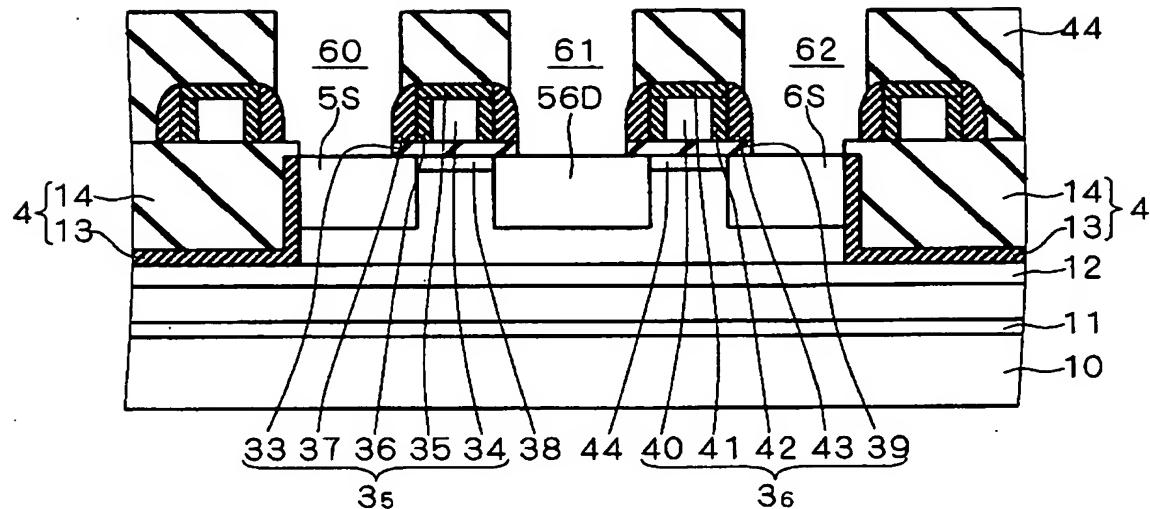
【図20】



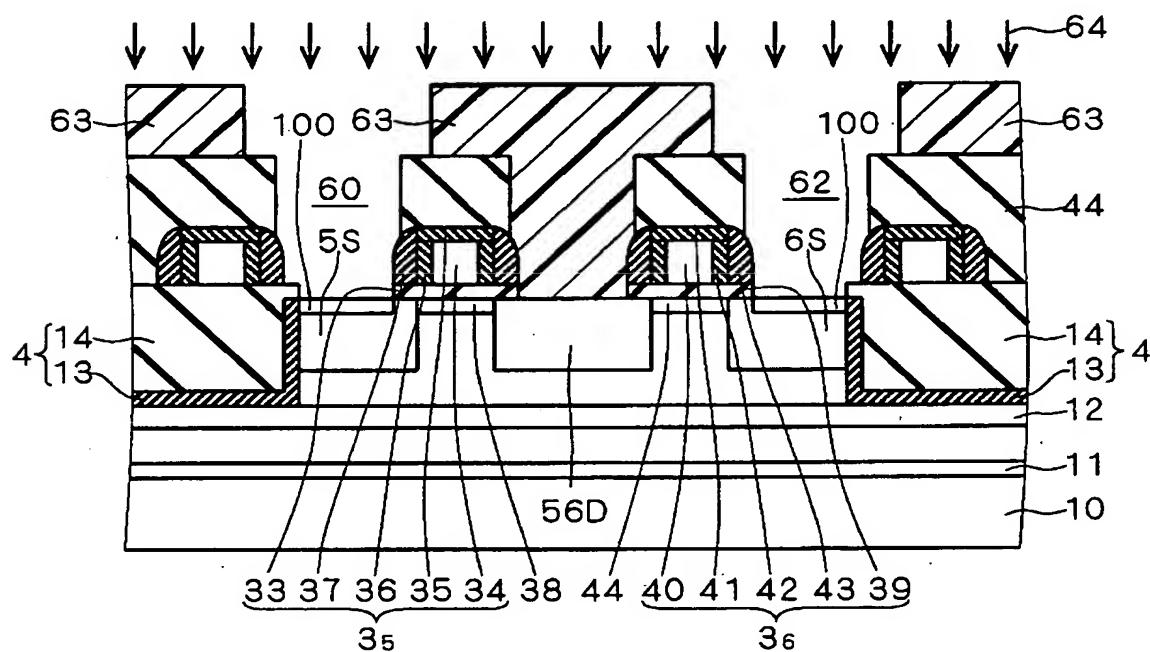
【図21】



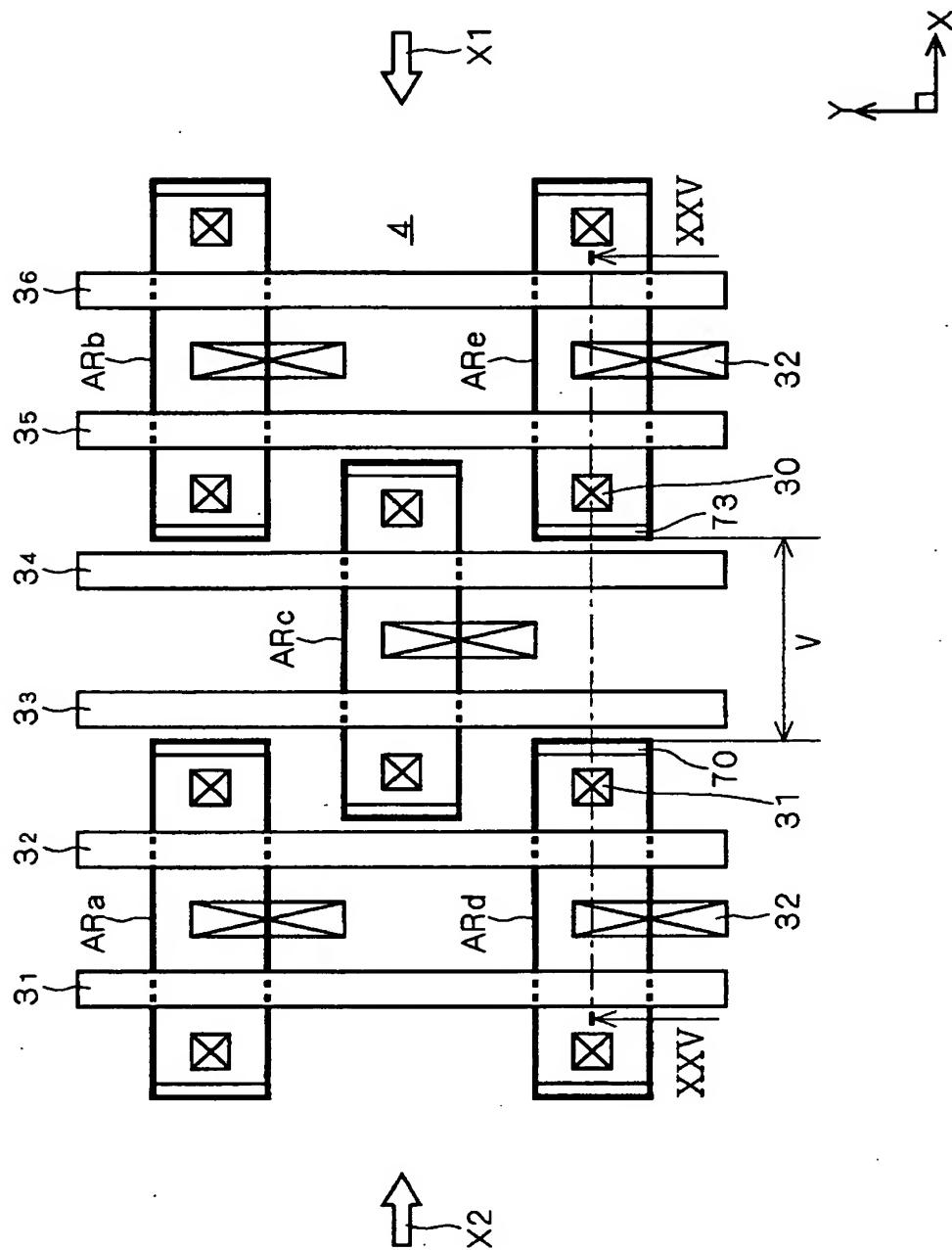
【図22】



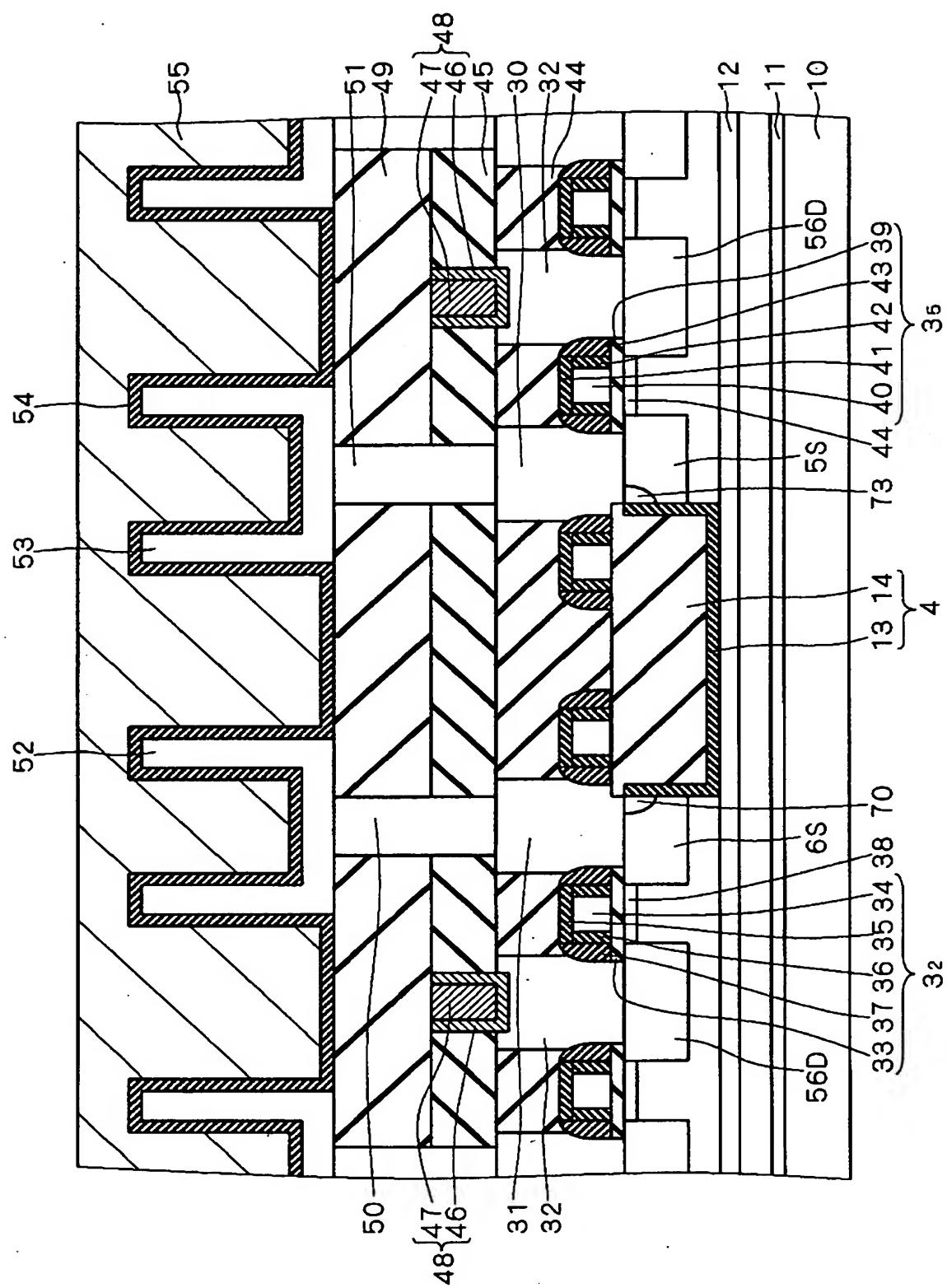
【図23】



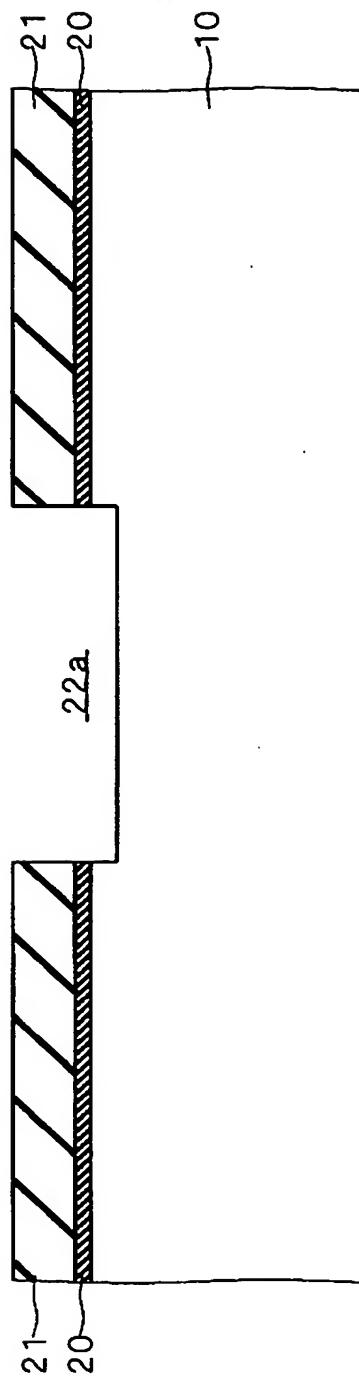
【図24】



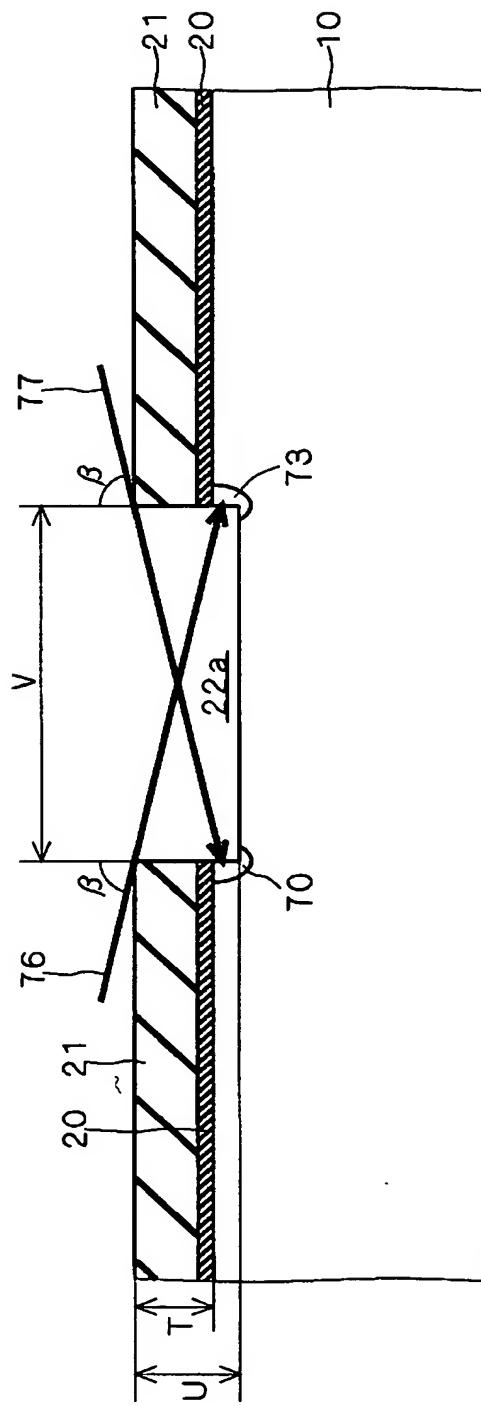
【図25】



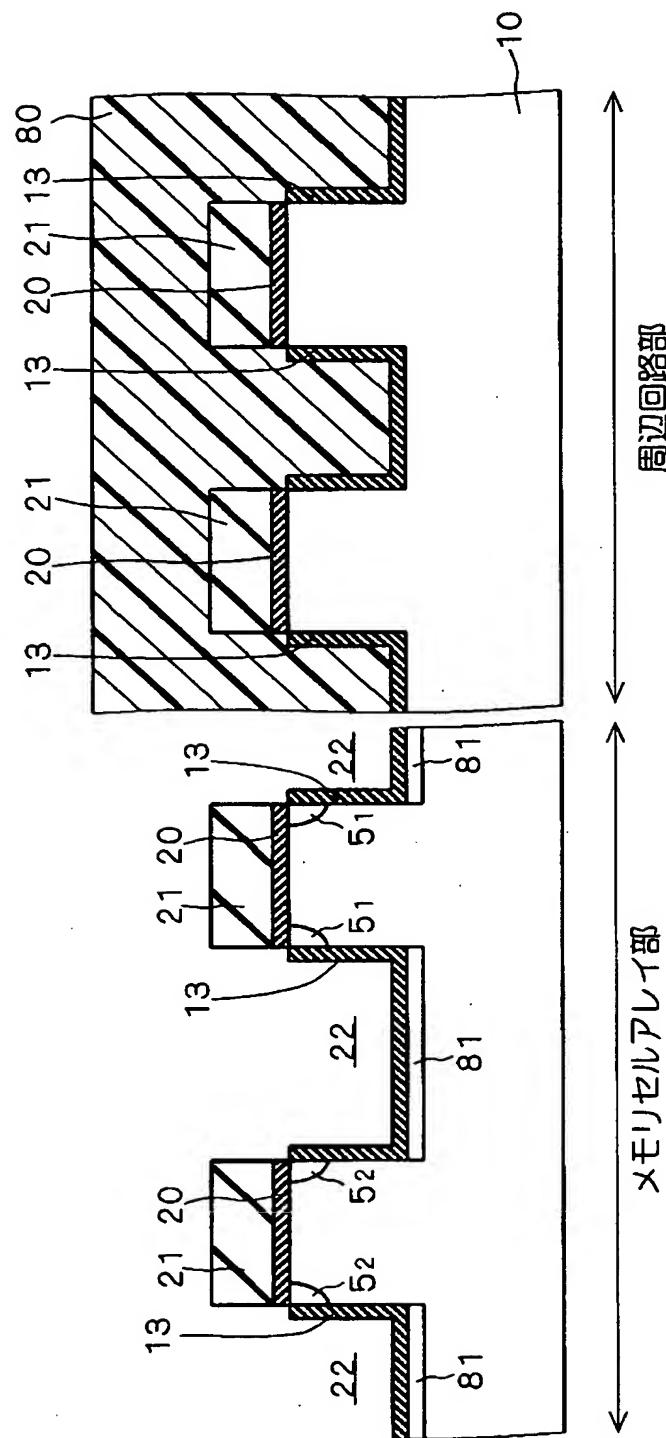
【図26】



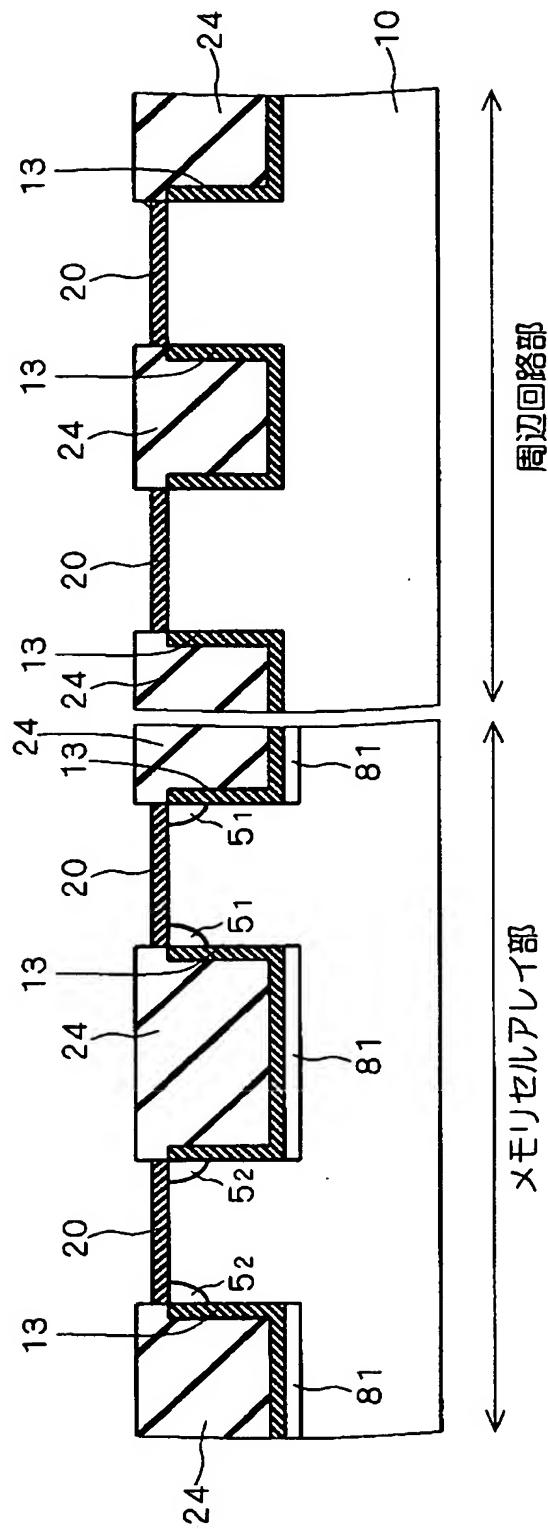
【図27】



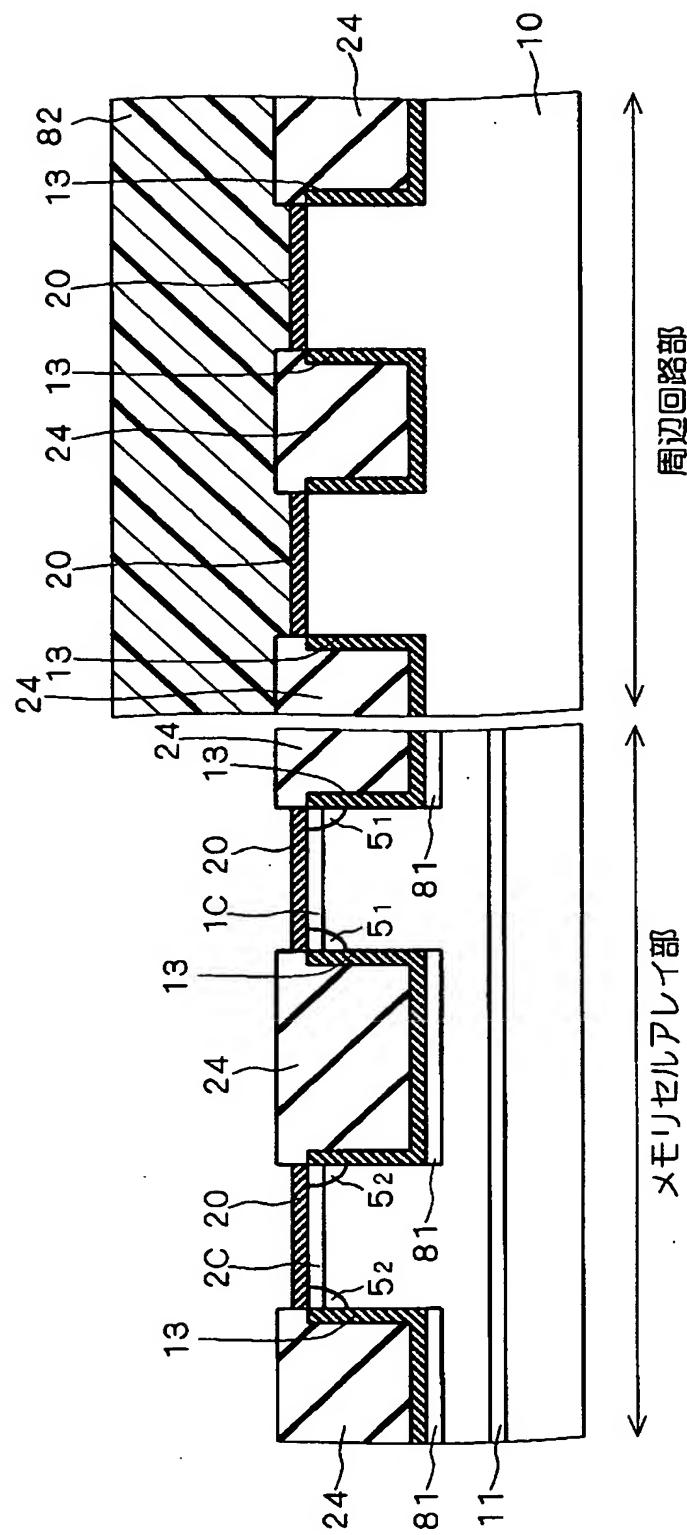
【図28】



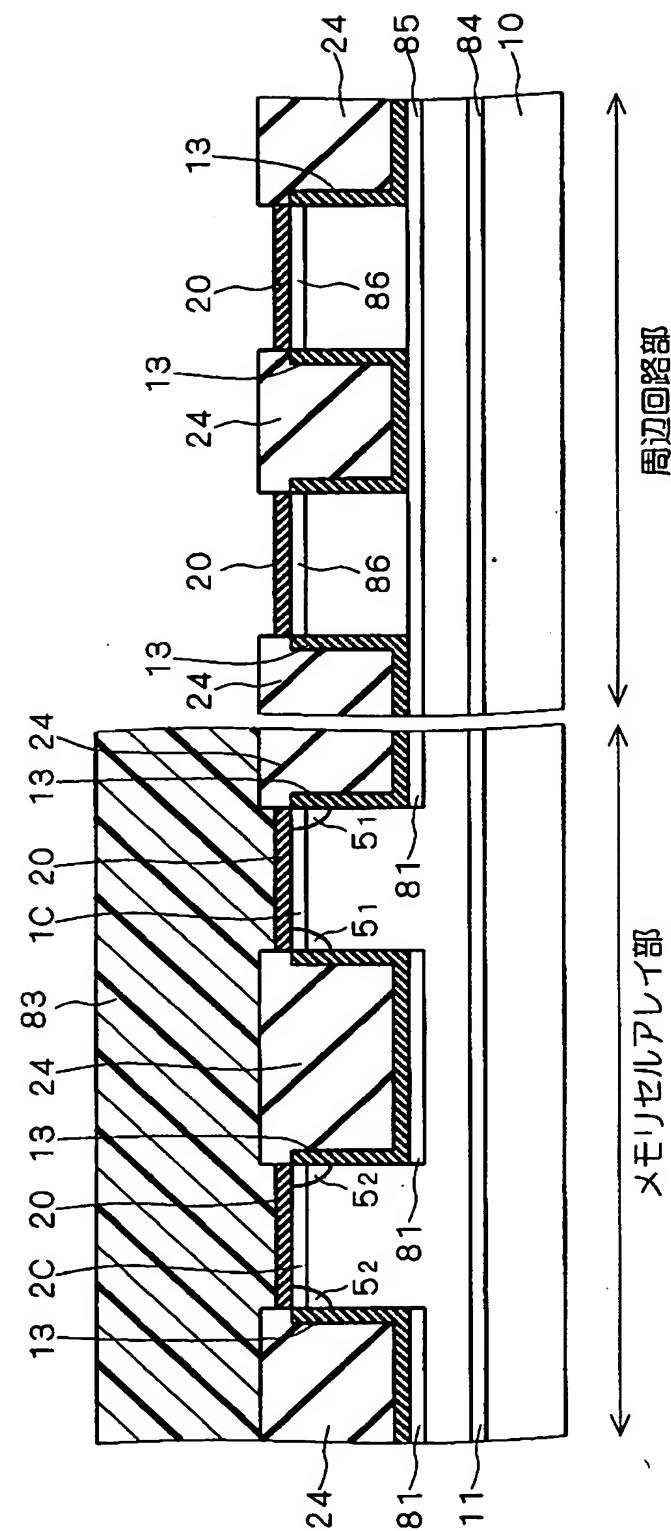
【図29】



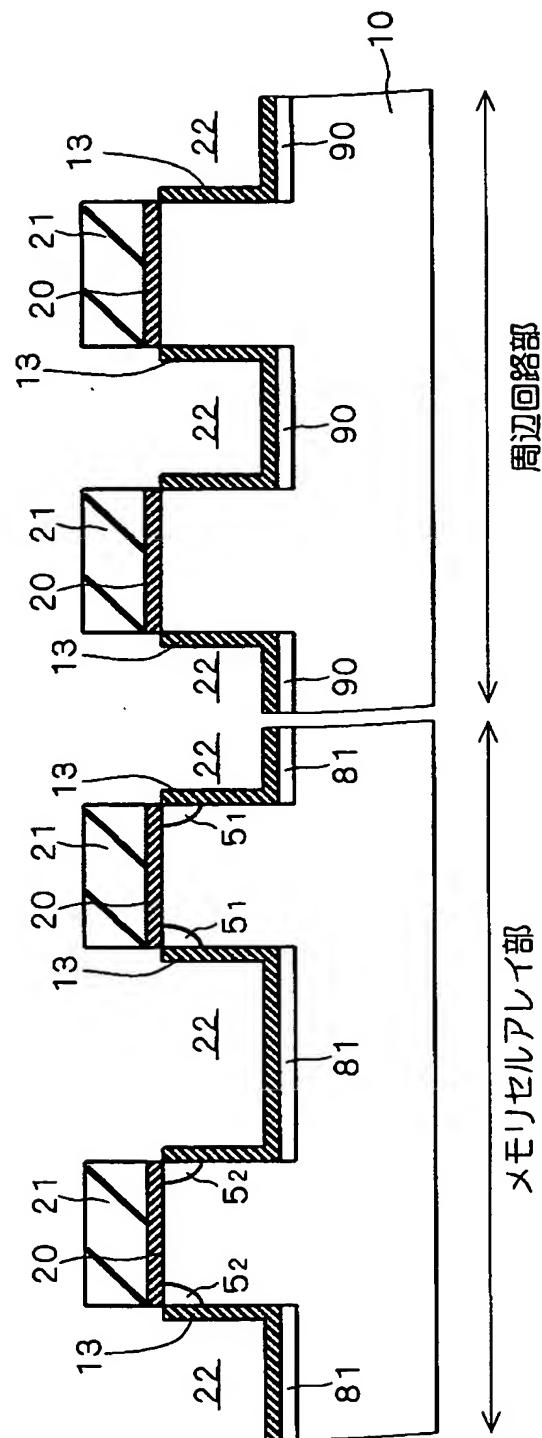
【図30】



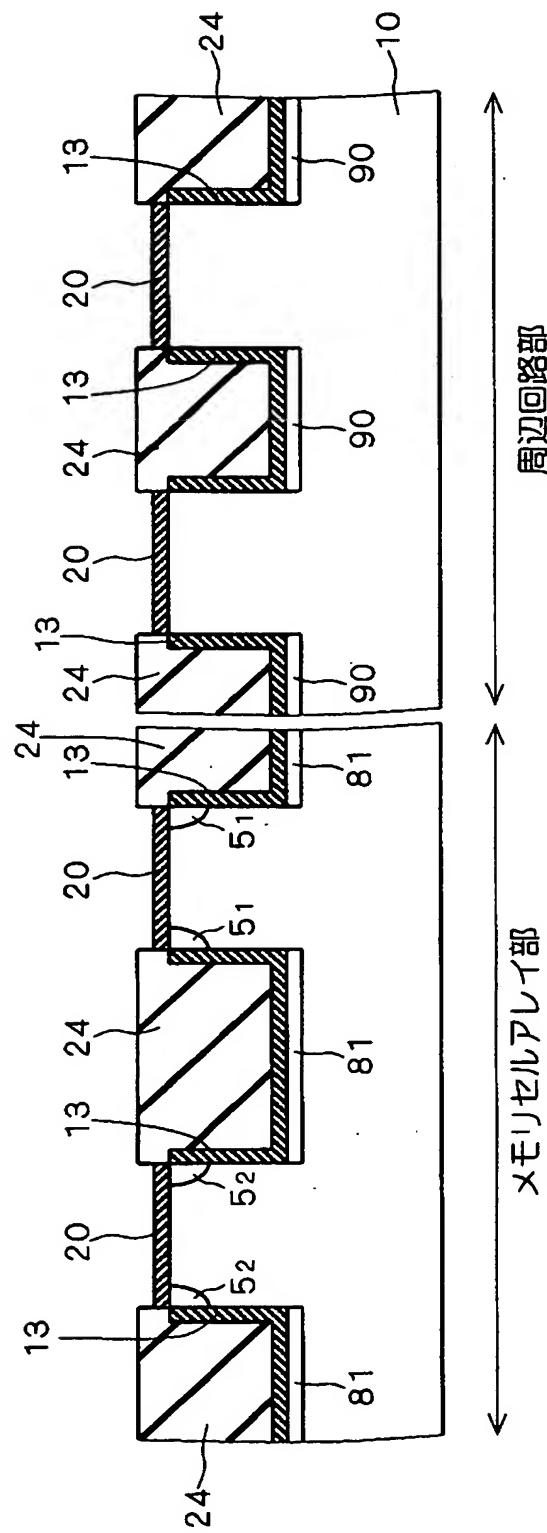
【図31】



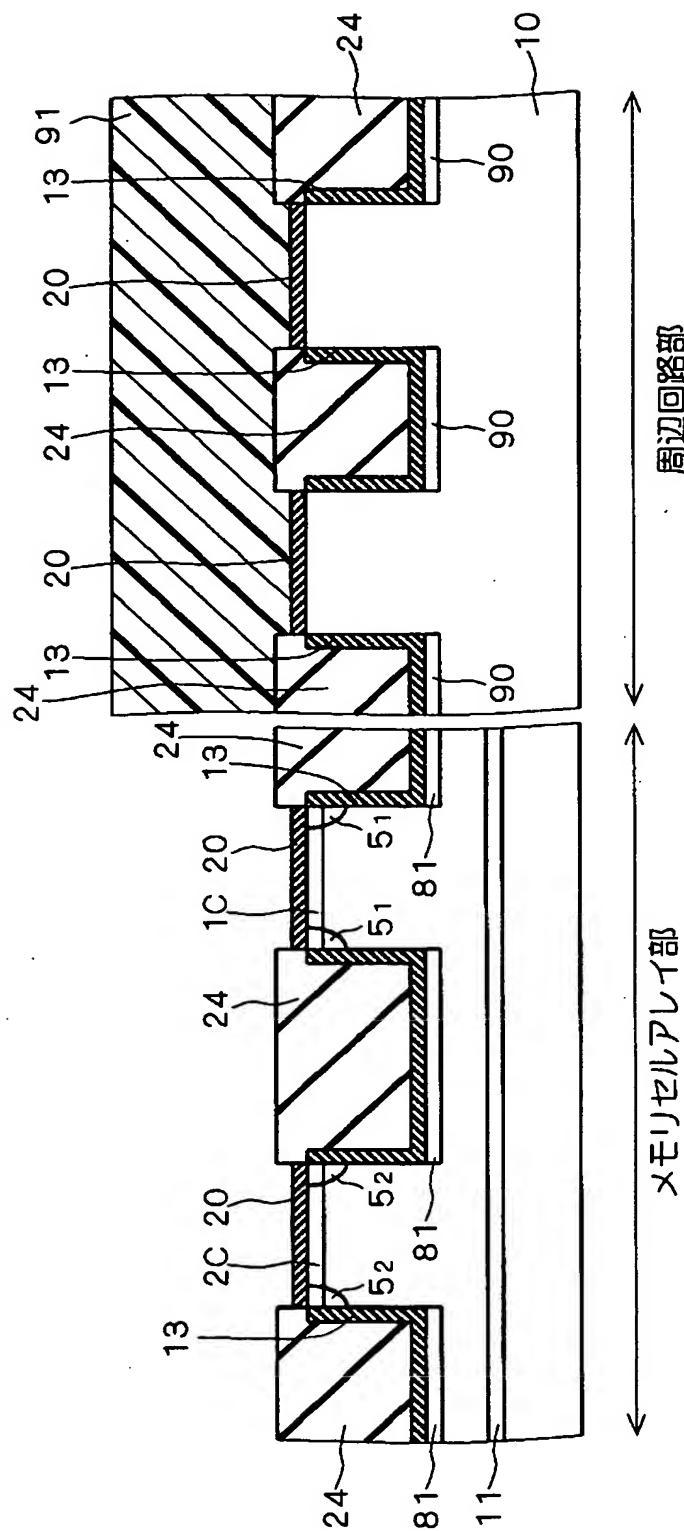
【図32】



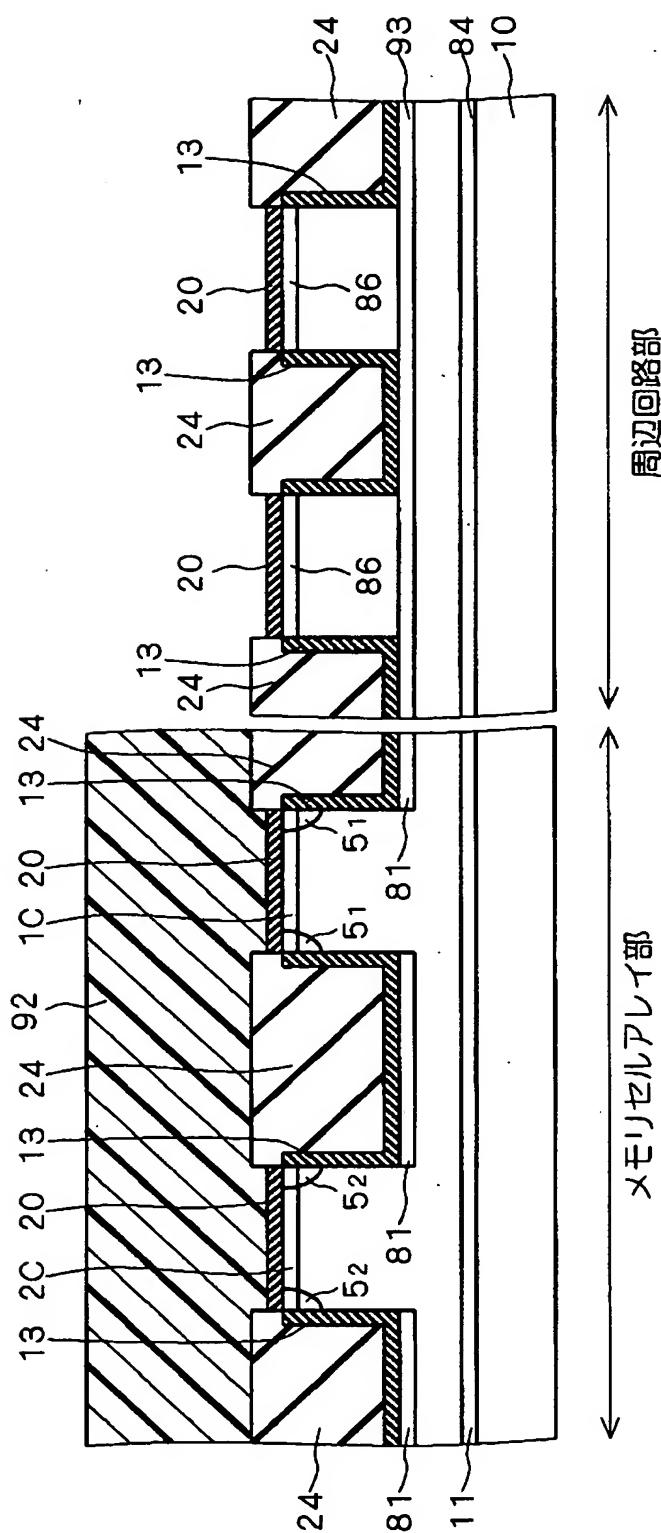
【図33】



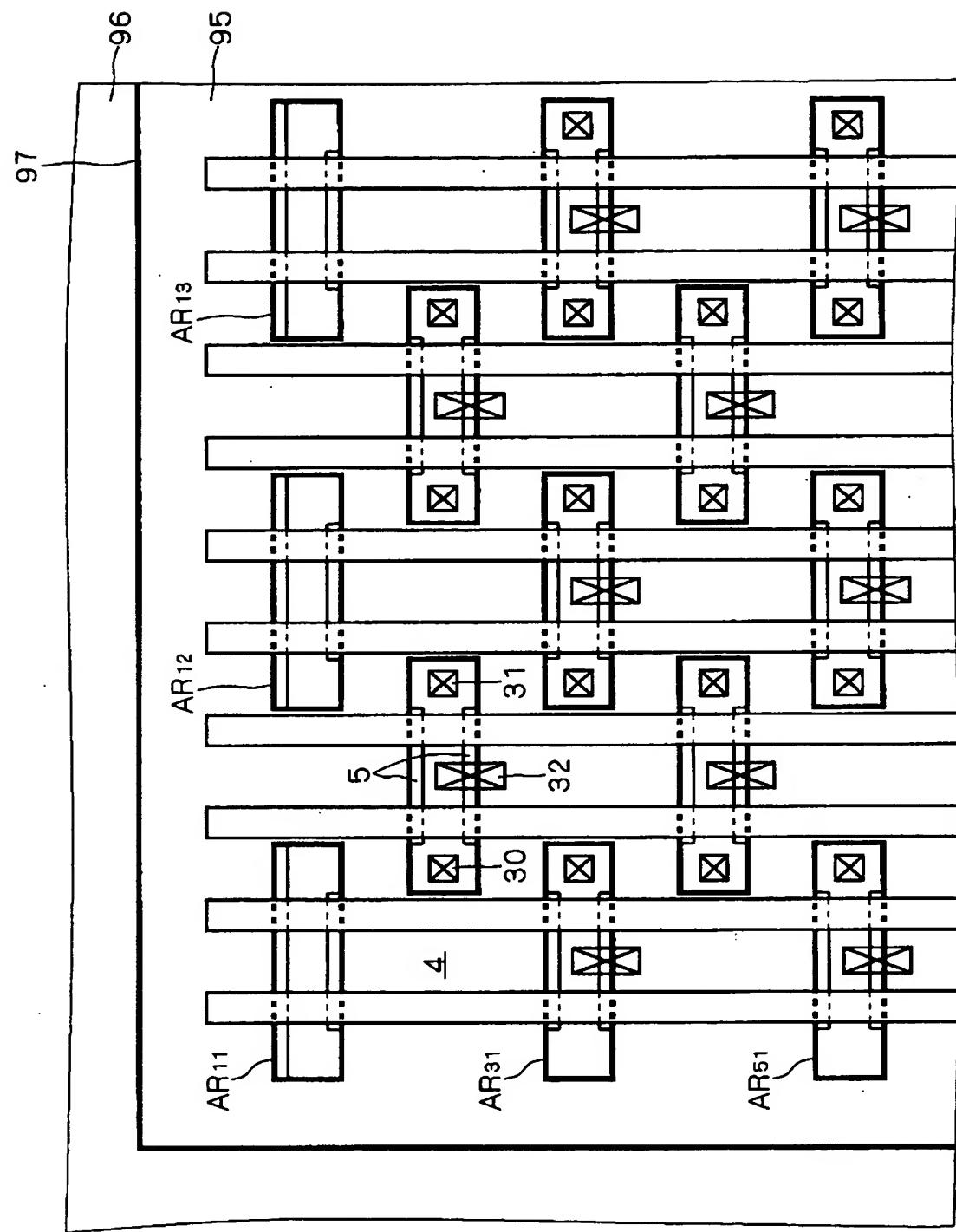
【図34】



【図35】



【図36】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜の形成に起因してチャネルドープ領域の不純物濃度が低下することを抑制し得る、半導体装置の製造方法を得る。

【解決手段】 シリコン酸化膜20及びシリコン窒化膜21が形成されている状態で、p型不純物23₁、23₂を、Y方向の斜め上方からイオン注入する。イオン注入の注入角度 α としては、第1部分21₁と第4部分21₄との間隔及び第3部分21₃と第6部分21₆との間隔をW1、第2部分21₂と第5部分21₅との間隔をW2、シリコン酸化膜20及びシリコン窒化膜21の合計の膜厚をTと定義したときに、 $\tan^{-1}(W2/T) < \alpha \leq \tan^{-1}(W1/T)$ の関係が成り立つ範囲の注入角度を採用する。注入角度 α をこの範囲内に規定すると、第2側面10A₂及び第5側面10A₅内には、シリコン酸化膜13を通して不純物23₁、23₂がイオン注入される。

【選択図】 図5

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号

氏 名 株式会社ルネサステクノロジ